

Pengantar Perkembangan CMOS:

Perkembangan Struktur dan Material Film Tipis Penyusun Silikon Device

Fitr Tanjung

tan_basa@yahoo.com

Lisensi Dokumen:

Copyright © 2003 IlmuKomputer.Com

Seluruh dokumen di IlmuKomputer.Com dapat digunakan, dimodifikasi dan disebarkan secara bebas untuk tujuan bukan komersial (nonprofit), dengan syarat tidak menghapus atau merubah atribut penulis dan pernyataan copyright yang disertakan dalam setiap dokumen. Tidak diperbolehkan melakukan penulisan ulang, kecuali mendapatkan ijin terlebih dahulu dari IlmuKomputer.Com.

LSI (Large Scale IC) terdiri dari komponen transistor dan elektronik lainnya yang dibuat dengan teknologi planar dari lapisan-lapisan film tipis. Seiring dengan tingkat scaling/miniaturisasi yang makin tinggi, ketebalan film semakin tipis, mendekati batas molekul film itu sendiri. Untuk menembus batasan ini, dan untuk terus meningkatkan performance dan fungsi LSI, material-material baru diriset dan dikembangkan secara besar-besaran untuk diintroduksi kedalam LSI. Disini akan dikenalkan perkembangan berbagai film tipis yang digunakan dalam LSI. Tulisan ini didasarkan pada paper Iwai Hiroshi dan Ohmi Shun-ichiro (Tokyo Institute of Technology) dari Jurnal Oyo Buturi terbitan Januari 2000 dengan berbagai tambahan dari berbagai sumber.

Pendahuluan

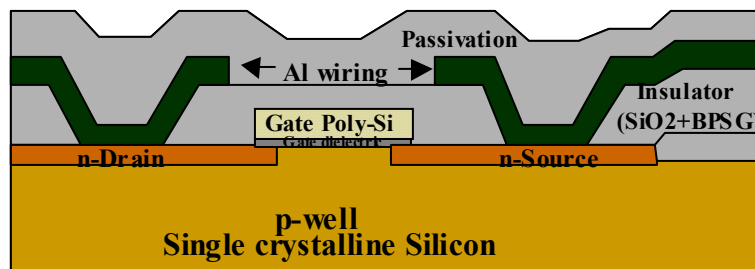
MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) diproduksi secara besar-besaran pada tahun 1960-an sejak Silikon Oksida (SiO_2) digunakan sebagai gate dielectric pada transistor. Tapi penggunaan MOSFET sebagai basis LSI baru dikenalkan pada awal 1970-an setelah analisis kestabilan oksida dan teknologi rangkaian listrik MOS berkembang dan dikenal secara luas.

Yang pertama muncul adalah PMOS LSI (MOS dengan tipe p, berarti carriernya adalah hole yang bermuatan listrik positif). Alasannya adalah pengontrolan threshold voltage V_{th} (voltase terkecil yang dibutuhkan untuk menggerakkan transistor) yang gampang pada PMOS. Dengan ukuran lebar wiring —yang merupakan satuan standar pada proses pembuatan LSI (dikenal juga dengan sebutan design rule atau teknologi nod atau generasi)—, sekitar $10\mu\text{m}$, 1kbit memori dan 4bit mikroprosesor

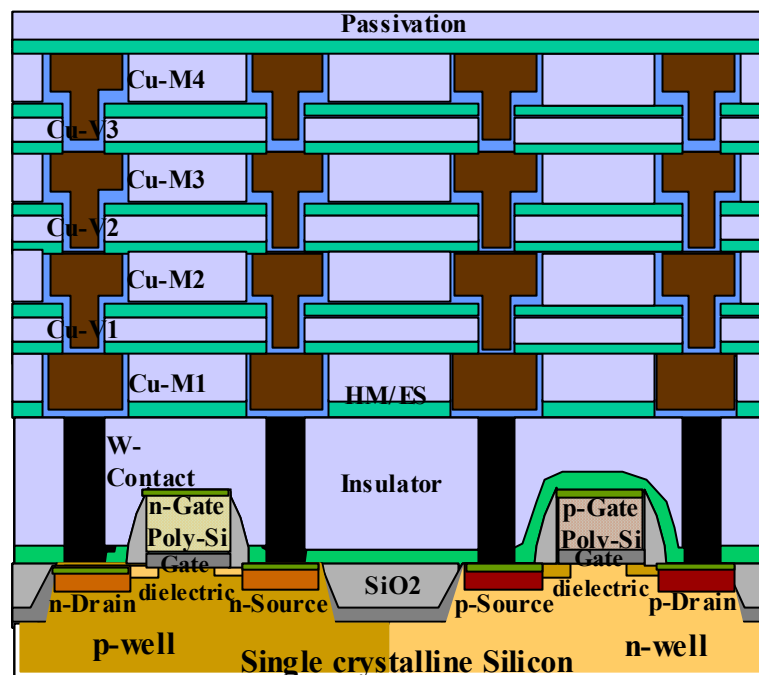
berhasil dibuat. Dalam 2, 3 tahun kemudian NMOS (tipe n dengan carrier elektron) berhasil dibuat sehingga kecepatan transistor meningkat. Ini disebabkan oleh massa efektif elektron yang lebih kecil dibanding hole, sehingga mobilitas (kecepatan dalam satuan medan listrik) elektron lebih tinggi dari hole.

Selanjutnya pada akhir 1980-an, gabungan NMOS dan PMOS membentuk Complementary MOS (CMOS) yang unggul dalam segi hemat energi, menjadi pemain utama dan terus menjadi bintang hingga design rule menyentuh 130nm saat ini.

Gambar 1 menunjukkan penampang NMOS LSI generasi pertama. Total film yang dipakai dari lapisan Source/Drain sampai Passivation adalah 8 lapis, terdiri dari kombinasi hanya 3 jenis film (yaitu Si, SiO₂ dan Al), dan 5 jenis atom (yaitu Si, O, Al, B dan P). Dan Gambar 2 adalah CMOS LSI yang digunakan saat ini, terdiri dari berbagai jenis dan lapisan film (Si, SiO₂, SiON, PSG, BPSG, TiN/Ti, W, TiSi₂, CoSi₂, Al, Cu dll) serta atom (Si, O, N, P, B, Ti, W, Co, Al, Cu dll) yang lebih banyak dan rumit dibanding generasi pertama. Dalam kurun 30 tahun, telah terjadi peningkatan kecepatan mikroprosesor sampai 1000 kali lipat (dari 750 KHz menjadi 733 MHz pada 1999).



Gambar 1. Penampang LSI generasi pertama (NMOS)



Gambar 2. Penampang sederhana LSI generasi 180nm (CMOS)

Ini didukung oleh scaling (miniaturisasi) yang mengikuti Hukum Moore (insinyur pendiri Intel Inc.). Pada tahun 1965, Gordon Moore merumuskan bahwa tiap 2 tahun transistor bisa diperkecil menjadi setengahnya, sehingga total transistor dalam satu chip menjadi 4 kali lipat (Lihat Tabel 1 yang menunjukkan ukuran tiap film dengan membandingkan transistor pada 1974 dan 1999 dan Tabel 2 yang menunjukkan scaling dengan parameter k). Makin kecil ukuran transistor, maka kecepatan frekwensinya makin tinggi dan makin banyak jumlah transistor dalam satu LSI maka performance dan fungsi LSI itu akan meningkat sedang cost dapat ditekan. Sebagai contoh, jumlah transistor dalam prosesor i8088 buatan tahun 1981 adalah 29 ribu, prosesor 486 tahun 1989 adalah 1 juta, dan Pentium 4 with HT Technology tahun 2002 adalah 55 juta. Inilah yang mendorong usaha terus menerus dari produsen LSI untuk memperkecil ukuran transistor sehingga mencapai 130nm pada tahun 2002, walaupun saat ini terjadi perlambatan pada Hukum Moore.

Dan untuk itu jumlah dan jenis film makin meningkat dan kombinasinya juga semakin rumit, menuntut kontrol kualitas yang tinggi dari tiap film.

]

	Tahun 1974	Tahun 1999	Perbandingan	
Gate	6 μm	0.14 μm	$\sim 1/40$	
tebal Gate Dielectric	110~100 nm	4~3 nm	$\sim 1/30$	
tebal Gate Electrode	300 nm	250~150 nm	$1 \sim 1/2$	
Kontak Junction	Extension	700 nm	70~35 nm	$1/10 \sim 1/20$
	Contact hole	700 nm	140~70 nm	$1/5 \sim 1/10$
tebal Field SiO ₂ (Isolasi)	700 nm	700~400 nm	$1 \sim 1/2$	
tebal Silicide	-	60 nm		
tebal Gate Spacer		nm		
tebal metal wiring	1000 nm	2000~350 nm	$2 \sim 1/3$	
lebar metal wiring	6 μm	0.18 μm	$\sim 1/30$	
tebal insulator antar metal	1200~700 nm	1200~500 nm	~ 1	
Diameter Contact hole	6 μm	0.2 μm	$\sim 1/30$	
Diameter Via hole	-	0.26 μm		

Tabel 1. Perbandingan tebal film dalam LSI

	Scaling
Panjang Gate	$1/k$
Lebar Gate	$1/k$
Tebal Gate Dielectric	$1/k$
Kedalaman Junction	$1/k$
Voltase Baterai	$1/k$
Konsentrasi Impuritas	k

Tabel 2. Hukum Scaling

Gate Dielectric

Salah satu parameter penting performance MOS adalah driven current (atau drain current I_d), yaitu nilai arus listrik yang mengalir dari Source ke Drain melalui channel yang terbentuk dibawah Gate dielectric karena kontrol Gate Voltage (V_g). Nilai I_d ini ditentukan oleh ketebalan Gate dielectric (= nilai kapasitor C) dan panjang channel L_c (\square panjang gate L_g). Makin tipis gate dielectric (nilai C tinggi) dan makin pendek channel maka I_d semakin tinggi, yang berarti frekwensi makin cepat.

Silikon Oksida (SiO₂) digunakan sebagai Gate dielectric karena bentuk non kristal (amorphous) yang sesuai untuk insulator, dengan daya tahan terhadap medan listrik yang tinggi (sekitar 10MV/cm), kestabilan terhadap panas, bahan mentah yang melimpah ruah dan lebih lagi karena kualitas interlayer Si/SiO₂ yang tinggi (jumlah muatan yang terjebak dalam interlayer $< 10^{11}/\text{cm}^2$) dan surface roughness yang rendah. Kualitas interlayer Si/SiO₂ ini penting karena merupakan bagian utama channel dimana carrier (baik hole atau elektron) melintas. Sampai saat ini belum ada yang bisa menandingi SiO₂.

Tahun 1994, Roadmap LSI yang disusun oleh ITRS (International Technology Roadmap for Semiconductors) memperkirakan bahwa 3nm (10x ukuran molekul SiO₂) adalah batasan maksimal miniaturisasi SiO₂. Pada ketipisan $< 3\text{nm}$, fungsi insulator SiO₂ tidak lagi bekerja karena adanya efek tunnel (sifat kuantum elektron sebagai gelombang menembus insulator seakan-akan ada tunnel dalam SiO₂) sehingga terjadi kebocoran arus. Namun pada teknologi nod $< 0,1\mu\text{m}$, mempertahankan SiO₂ setebal 3nm tidak memberikan kontribusi pada performance LSI, walaupun parameter lainnya telah discaling. Dan karena kebocoran arus juga turun seiring dengan makin pendeknya channel, para insinyur LSI berhasil membuktikan bahwa dengan SiO₂ setebal 1,1~1,5nm pun MOS bekerja dengan baik. Bahkan terjadi peningkatan performance, dimana nilai Transkonduktans ($I_d/V_g = \text{Output/Input}$) sebesar 1000 mS/mm berhasil dibuktikan, merobek prediksi ITRS. Tahun 1997, ITRS

merevisi Roadmap untuk Gate dielectric mencapai 1nm atau lebih tipis lagi.

Akan tetapi, tuntutan low energy (=penggunaan baterai penggerak LSI bervoltase lebih rendah) mendorong gate dielectric SiO₂ untuk lebih tipis lagi. Ini berarti bahwa batas tunneling secara pasti akan tersentuh dan penggunaan SiO₂ menjadi tidak mungkin lagi. Untuk itu para peneliti diseluruh dunia bergerak ke material high-k sebagai pengganti SiO₂. Disini k adalah konstanta dielectric suatu insulator. High-k berarti nilai k yang lebih besar dari SiO₂ (k=3,9 untuk Thermal SiO₂ dan 4,2 untuk TEOS- SiO₂).

Mengikuti persamaan capacitor $C = \epsilon_0 \cdot k \cdot (S/d)$, dimana ϵ_0 = nilai permitivitas udara, k = konstanta dielectric (udara=1), S = luas permukaan dan d = tebal lapisan dielectric, maka didapat $d_{(high-k)} = \mathbf{high-k/3.9 \cdot d_{(SiO_2)}}$. Berarti untuk mendapatkan nilai C yang sama dengan SiO₂ setebal 2nm, material dengan nilai k=40 cukup dengan ketebalan 20nm. Nilai ini cukup tebal untuk menahan efek tunnel. Saat ini kandidat high-k yang banyak diriset adalah Al₂O₃, HfO₂, ZrO₂, dll. Tabel 3 menunjukkan jenis high-k dan metode deposisi yang digunakan oleh masing-masing produsen dan lembaga riset LSI.

Perusahaan/Lembaga	Material	Metode Deposisi
IBM	Al ₂ O ₃ , ZrO ₂	ALD
Intel	HfO ₂	ALD
Motorola	HfO ₂ , ZrO ₂ , La ₂ O ₃	ALD, MOCVD
Agere	HfO ₂ , Zr-aluminate	ALD, PVD
Texas Instruments	Hf-silicate	PVD
Sharp	ZrO ₂ , Zr-silicate	PVD
Fujitsu	HfO ₂ , Al ₂ O ₃	ALD, CVD
Toshiba	ZrO ₂ , Zr-silicate	PVD
Hitachi	Al ₂ O ₃	ALD
Sematech	HfO ₂ , ZrO ₂ , Zr-silicate	ALD, MOCVD
Samsung	Al ₂ O ₃ -HfO ₂ laminate	ALD
ASUKA	Al ₂ O ₃ , HfO ₂	ALD
MIRAI	Al ₂ O ₃	ALD
IMEC	Al ₂ O ₃ , ZrO ₂	ALD

nilai k : Al₂O₃=6-13, HfO₂=15-40,
 ZrO₂=25, La₂O₃=20
 ALD : Atomic Layer Deposition
 CVD : Chemical Vapor Deposition
 MOCVD : Metal Organic CVD
 PVD : Physical Vapor Deposition

Tabel 3. Material high-k dan metode deposisi tiap perusahaan dan lembaga riset LSI

Banyaknya kandidat high-k menunjukkan tidak adanya material yang sepadan dengan SiO₂ untuk bisa menggantikannya dengan segera. Salah satu alasannya adalah bentuk metal yang sangat mungkin mengkontaminasi Silikon sehingga sifat elektriknya tidak terkontrol. Bahkan menurut laporan Lab. for Electronic Material and Devices dari University of North Texas pada suatu symposium November 2002 di Colorado, kelebihan satu-satunya material high-k tersebut hanyalah high-k itu belaka. Adapun sifat-sifat lain seperti daya tahan terhadap medan listrik (SiO₂>10MV/cm), nilai energy gap (selisih energi conductivity dengan energy valence; SiO₂>5eV), kualitas interlayer Si/high-k (muatan listrik yang terjebak pada Si/SiO₂<10¹¹/cm²), mobilitas carrier (material high-k <90% SiO₂), arus bocor (SiO₂<1A/cm²), dll belum bisa menandingi SiO₂. Berbeda dengan

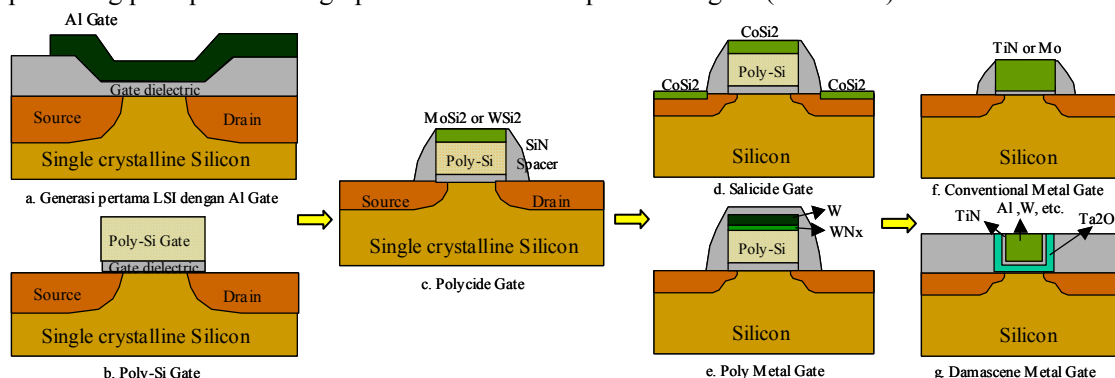
introduksi high-k dalam memory, introduksi high-k sebagai gate dielectric masih membutuhkan penelitian yang mendalam.

Gate Electrode

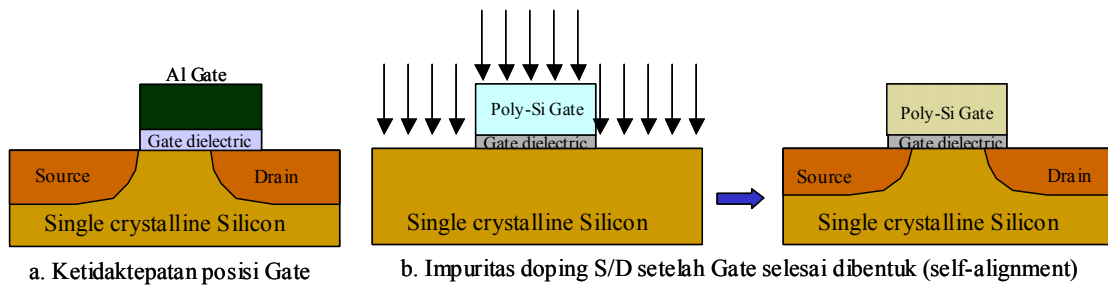
Gambar 3 menunjukkan perubahan dan perkembangan struktur dan material Gate electrode semenjak generasi awal LSI, pada saat ini dan perkiraan masa depan yang banyak diriset. Pada awal 70-an, metal Al digunakan sebagai bahan Gate. Proses flownya adalah deposisi Gate dielectric dan Al setelah Source dan Drain (S/D) selesai dibentuk dengan impurity doping (Gambar 3a). Namun proses ini mengandung resiko ketidaktepatan lithograph sehingga posisi Gate tergeser dari S/D (Gambar 4a).

Untuk mencegah hal ini, dikembangkan proses Self-Alignment, dimana impuritas doping pada S/D dilakukan setelah Gate selesai dibentuk dan Gate itu sendiri menjadi mask (pelindung) bagi film dibawahnya, yaitu dielectric dan channel (Gambar 3b dan 4b). Untuk itu diperlukan material yang tahan terhadap thermal proses untuk rekristalisasi S/D (yang menjadi non kristal karena impuritas doping) dan tidak rusak karena impuritas doping. Disini poly-Si (Silikon berkristal majemuk) menjadi pilihan yang pas karena dengan impuritas doping, hambatan listriknya turun mendekati metal

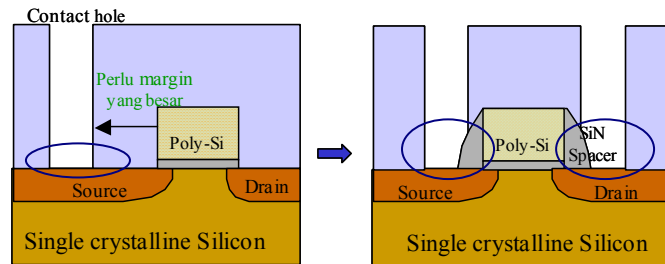
Kemudian, untuk memenuhi tuntutan hambatan listrik yang lebih rendah seiring miniaturisasi pada Gate, dipermukaan dibentuk metal silicide seperti pada gambar 3c (disebut Polycide). Juga untuk menurunkan hambatan kontak pada S/D, dipermukaan S/D dan Gate dibentuk silicide secara serempak, dan disebut Self Align Silicide (Salicide). Proses ini umumnya diterapkan pada Logic LSI. Perpanjangan dari Polycide adalah dengan menggunakan metal seperti W dan WN_x (Gambar 3e). Seiring dengan itu, Gate dilindungi dengan Spacer Si₃N₄, yang berguna juga untuk pembentukan Contact hole secara otomatis (Self-align Contact). SiN menjadi Etching Stopper yang melindungi gate dan secara otomatis gas plasma ‘menggali’ Contact hole ke arah S/D walaupun photoresist patterning pada proses lithograph tidak dikontrol sepersis mungkin (Gambar 5).



Gambar 3. Perubahan struktur dan material Gate electrode



Gambar 4. Pembentukan S/D secara self alignment memunculkan poly-Si sebagai Gate

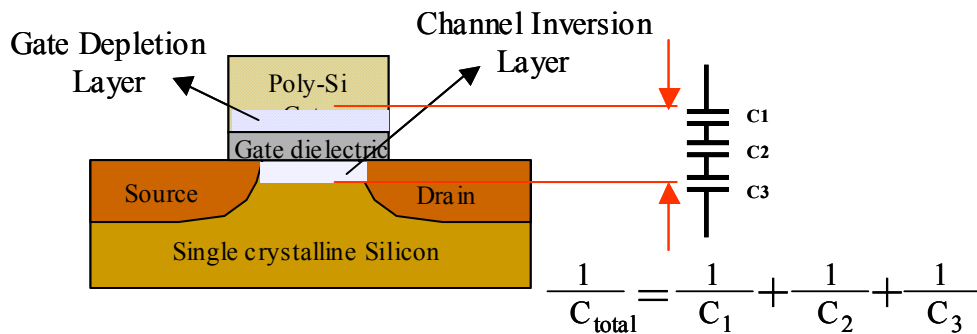


Gambar 5. Self-Align Contact dengan panduan Spacer SiN

Seiring dengan miniaturisasi, jumlah impuritas yang didoping ($\text{ion dose} = \text{atom}/\text{cm}^2$) memunculkan persoalan terbentuknya depletion layer pada interlayer Gate/SiO₂ yang tidak bisa lagi diabaikan (Gambar 6). Ditambah dengan Channel inversion layer (tempat lalu lintas carrier), total nilai C menjadi turun sehingga mengganggu performance LSI. Untuk itu saat ini banyak diriset penggunaan metal kembali untuk material Gate electrode (Gambar 5f atau 5g).

Selain daya tahan terhadap panas, sifat lain yang diperlukan adalah nilai Work Function dari metal tsb. Work Function adalah nilai energy yang dibutuhkan untuk ekstasi elektron dari level Fermi (nilai tengah antara level conductivity dan valency) ke level vacuum (level dimana electron tidak dipengaruhi lagi oleh inti atom). Besaran ini adalah konstan sesuai dengan jenis metal dan menentukan apakah cocok untuk NMOS, PMOS atau keduanya (Midgap). Tabel 4 menunjukkan tiap jenis metal dan nilai work function-nya.

Material midgap memiliki kelemahan dalam mengontrol short channel effect (efek channel pendek, dimana makin pendek channel maka threshold voltage V_{th} menjadi kecil dan berfluktuasi sehingga susah dikontrol, yang mengakibatkan terjadinya kebocoran arus). Sedang menggunakan Dual Gate (material yang berbeda untuk NMOS dan PMOS) akan memperumit proses. Hingga saat poly-Si dengan tambahan metal WN dll (poly metal gate) merupakan struktur utama, sedang metal gate masih menunggu hasil riset yang meyakinkan.



Gambar 6. Pengaruh Gate depletion layer terhadap performance

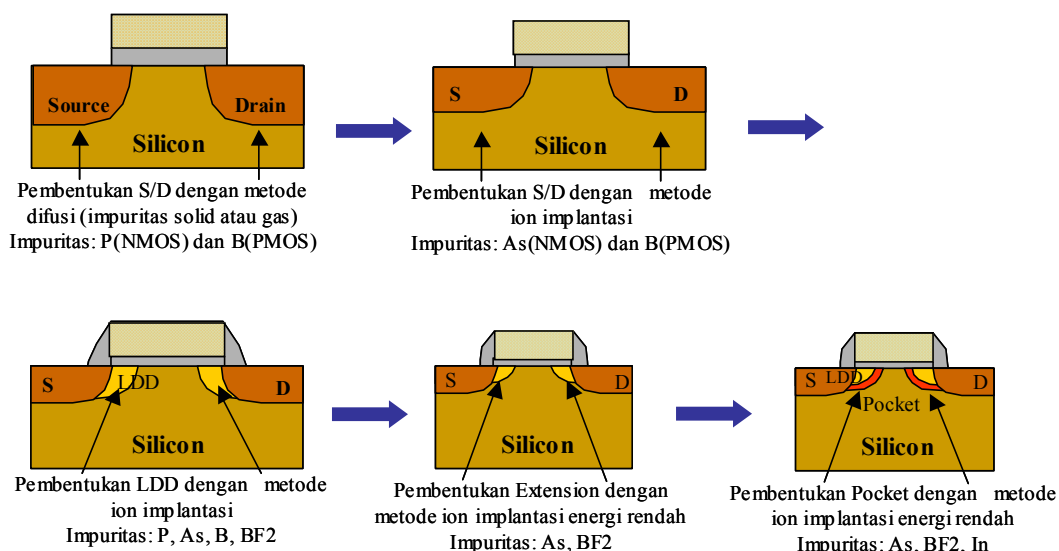
Midgap		Dual Gate			
		NMOS		PMOS	
W	4.52 eV	Hf	3.9 eV	RuO2	4.9 eV
		Zr	4.05 eV	WN	5.0 eV
Ru	4.71 eV	Al	4.08 eV	Ni	5.15 eV
		Ti	4.17 eV	Ir	5.27 eV
TiN	4.7 eV	Ta	4.19 eV	Mo2N	5.33 eV
		Mo	4.2 eV	TaN	5.41 eV
				Pt	5.65 eV

Tabel 4. Jenis metal dan nilai Work Function

Source dan Drain (S/D)

Gambar 7 menunjukkan perubahan struktur dan material pada S/D. Pada awalnya untuk mendoping bahan impuritas, digunakan metode difusi, baik dalam bentuk zat padat atau gas (molekul P untuk NMOS dan B untuk PMOS). Kelemahan metode ini adalah tidak bisa mengontrol kedalaman S/D karena difusi ditentukan oleh suhu. Kemudian pada akhir 70-an, metode ion implantasi mulai diterapkan. Bahan impuritasnya adalah As dan P untuk NMOS dan B atau BF₂ untuk PMOS.

Selanjutnya pada awal 80-an, untuk mencegah 'hot electron effect' (yaitu efek dimana medan listrik pada Drain yang berasal dari tegangan listrik antar Source dan Drain, memberi energi bagi elektron untuk melintasi channel walaupun dalam kondisi off), maka pada bagian S/D yang dekat dengan channel dibentuk lapisan Lightly Doped Drain (LDD). Pada bagian ini ion dose dari impuritas adalah antara Silikon substrate (dose rendah) dan S/D (dose tinggi) sehingga terbentuk semacam lapisan buffer.



Gambar 7. Perubahan struktur dan material Source dan Drain

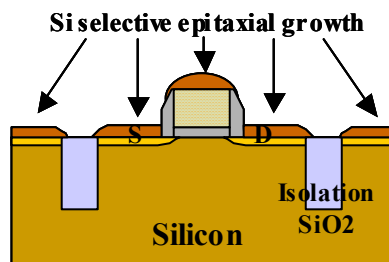
Awal 90-an, dengan menurunkan voltase baterai, hot electron effect dapat ditekan. Namun LDD tetap digunakan untuk menekan short channel effect (kebocoran arus karena channel yang makin pendek akibat fluktuasi threshold voltage). Kemudian seiring dengan miniaturisasi, kedalaman S/D dan LDD sendiri makin dangkal dan untuk menekan hambatan listrik agar tetap dibawah 100Ω, impuritas dose yang didoping makin tinggi, maka LDD kemudian disebut juga sebagai Extension (perpanjangan dari S/D).

Namun tuntutan miniaturisasi menyebabkan short channel effect semakin tidak bisa diabaikan. Untuk itu, dikembangkan metode pembentukan Pocket atau Halo implantation, yaitu dengan membuat lapisan dengan ion dose yang sangat tinggi pada ujung LDD yang dekat ke channel.

Kedalaman S/D yang diperlukan agar channel dibawah Gate dapat terbentuk dan agar hambatan listrik dapat ditekan, minimal adalah sekitar 5~20nm (Pada tabel 5 ditampilkan roadmap untuk kedalaman Extension S/D). Tapi bentuk paling ideal adalah dengan kedalaman 0 (nol). Untuk memenuhi tuntutan ini, dikembangkan metode Elevated (atau Raised) Source Drain. Yaitu dengan membentuk lapisan Si epitaxial selective pada bagian S/D. Lebih jauh lagi Gate juga dibentuk dengan cara ini, disebut Raised Gate Source Drain, yang akan digunakan tidak hanya untuk advanced Logic tapi juga untuk rangkaian komunikasi gelombang frekwensi tinggi.

Tahun	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
Teknologi nod (nm)	180	150	130	130	90	65	45	32	22	16
Kedalaman Gate (nm)	140	120	100	85	80	75	65	45	32	22
Kedalaman Extension (nm)	42~70	36~60	30~50	25~43	24~40	20~35	20~33	16~26	11~19	8~13
Resistivity (Ω/□)	350~800	310~760	280~730	250~700	240~675	220~650	200~625	150~525	120~450	100~400

Tabel 5. Roadmap Extension S/D



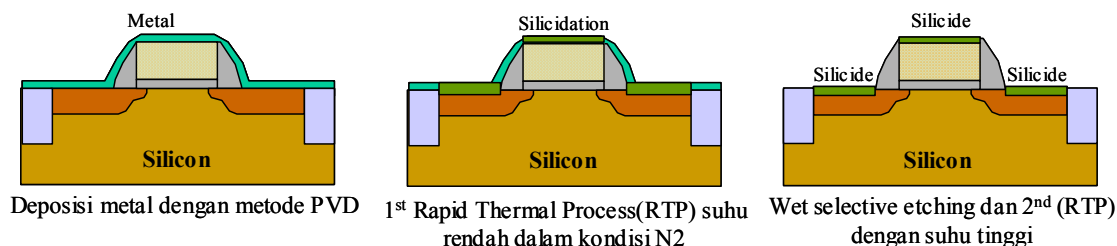
Gambar 8. Raised Gate Source Drain

Silicide

Semakin dangkal S/D mengikuti scaling, maka hambatan listriknnya akan semakin tinggi. Jika pada S/D ini metal dihubungkan langsung lewat Contact hole, maka akan didapat contact resistivity (ohmic contact) yang tinggi. Untuk menekan ohmic contact ini, maka permukaan S/D dilapisi metal tipis, membentuk lapisan metal silicide (MSi_x).

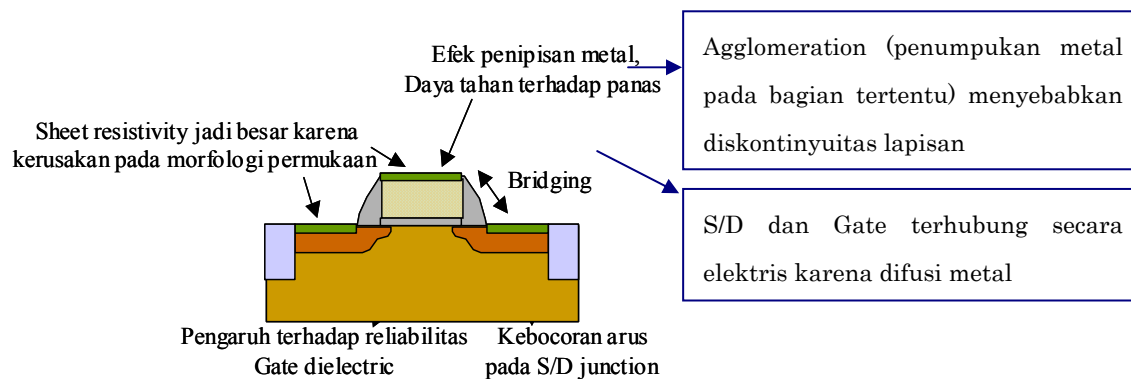
Pada awal 80-an, silicide digunakan pada rangkaian memori pada bagian Word Line (Poly-Si Gate electrode). Material yang digunakan adalah $MoSi_2$. Akhir 80-an, proses ini juga diterapkan pada rangkaian logic frekwensi tinggi, dengan menggunakan material WSi_2 . Kemudian tahun 90-an, silicide dengan metode Self-align Silicide (Salicide) diterapkan pada S/D dan Gate.

Gambar 9 menunjukkan proses pembentukan silicide. Sederhananya adalah lapisan metal dibentuk secara menyeluruh di permukaan wafer dengan metode Sputtering. Kemudian dengan proses annealing (pemanasan), maka hanya bagian silikon (disini S/D dan Gate) yang bereaksi membentuk metal silicide, sedangkan bagian insulator tidak bereaksi. Selanjutnya dengan menggunakan wet selective etching (etching rate : metal \gg silicide), metal yang tidak bereaksi disisihkan.



Gambar 9. Proses flow pembentukan Salicide.

Sekilas proses ini terlihat sangat sederhana. Tapi pada aplikasinya terdapat berbagai persoalan sehingga penerapannya pada produksi massal memakan waktu yang cukup lama. Pada gambar 10 ditunjukkan persoalan yang mungkin timbul pada pembentukan silicide.



Gambar 10. Tantangan pada proses Salicide

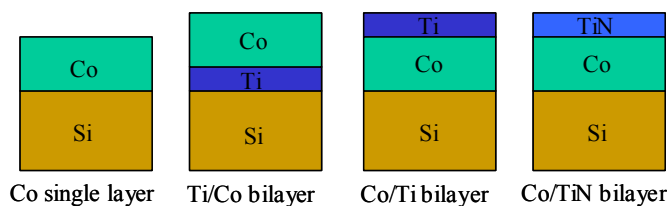
Penggunaan metal silicide berhambatan rendah seperti $TiSi_2$, menjadi mungkin dengan kontrol yang ketat untuk mencegah oksidasi Ti dan $TiSi_2$, penerapan Rapid Thermal Annealing (RTA; yaitu pemanasan dengan suhu tinggi dalam waktu yang sangat singkat, dibawah 1 menit) dan pre-amorphization bagian Silikon (permukaan S/D dan Gate lebih dahulu dirubah menjadi bentuk non kristal).

Untuk mencegah oksidasi, bisa dengan cara membentuk lapisan pelindung seperti TiN dipermukaan metal Ti. Proses RTA disamping mencegah distribusi ulang impuritas dalam S/D dan Gate, juga berperan mencegah oksidasi ini. Dan untuk mendapatkan tipe silicide yang berhambatan listrik rendah (untuk $TiSi_2$, tipe C49 memiliki resistivity $60\sim 70 \mu\Omega \cdot cm$ dan tipe C54 sebesar $15\sim 20 \mu\Omega \cdot cm$), diterapkan proses Silicon pre-amorphization. Dengan proses ini dilaporkan bahwa pada tahap R&D, $TiSi_2$ tipe C54 berhasil dibentuk pada MOS dengan panjang Gate (L_g) $< 0,1\mu m$ tanpa efek penipisan metal.

Tetapi, proses yang rumit dan resiko efek penipisan metal pada $TiSi_2$ mendorong penggunaan Co menggantikan Ti pada teknologi nod $0,18\mu m$. Co memiliki kelebihan dalam bentuk $CoSi_2$ yang stabil (tidak ada tipe hambatan listrik tinggi dan rendah), tidak membentuk gumpalan pada bagian tertentu (agglomeration) yang menimbulkan efek penipisan metal dan tidak juga efek bridging.

Kelemahan Co dibanding Ti adalah gampang teroksidasi. Tidak hanya pada bagian permukaan, tapi juga residu oksigen di permukaan Silikon dapat dengan cepat mengoksidasi Co. Untuk itu dalam beberapa kasus, terlebih dahulu Silikon dilapisi dengan Ti. Begitu juga dengan permukaan Co, juga dilapisi Ti atau TiN (Lihat gambar 11).

Selain itu, reaksi Co dan Si biasanya mengkonsumsi bagian Silikon ($Co : Si = 1 : 3,6$) lebih banyak sehingga lapisan $CoSi_2$ menjadi 'terbenam' didalam Silikon. Ini beresiko merusak S/D sehingga $CoSi_2$ lebih cocok dengan Raised S/D. Untuk S/D konvensional, saat ini sedang dipertimbangkan kemungkinan penggunaan Ni, karena dibanding $CoSi_2$, $NiSi_x$ tumbuh diatas Si, bukan didalam Silikon ($Ni : Si = 1 : 1,8$). Adapun kelemahan $NiSi$ adalah tingkat stabilitas thermal yang rendah.



Gambar 11. Stack struktur untuk Co silicide.

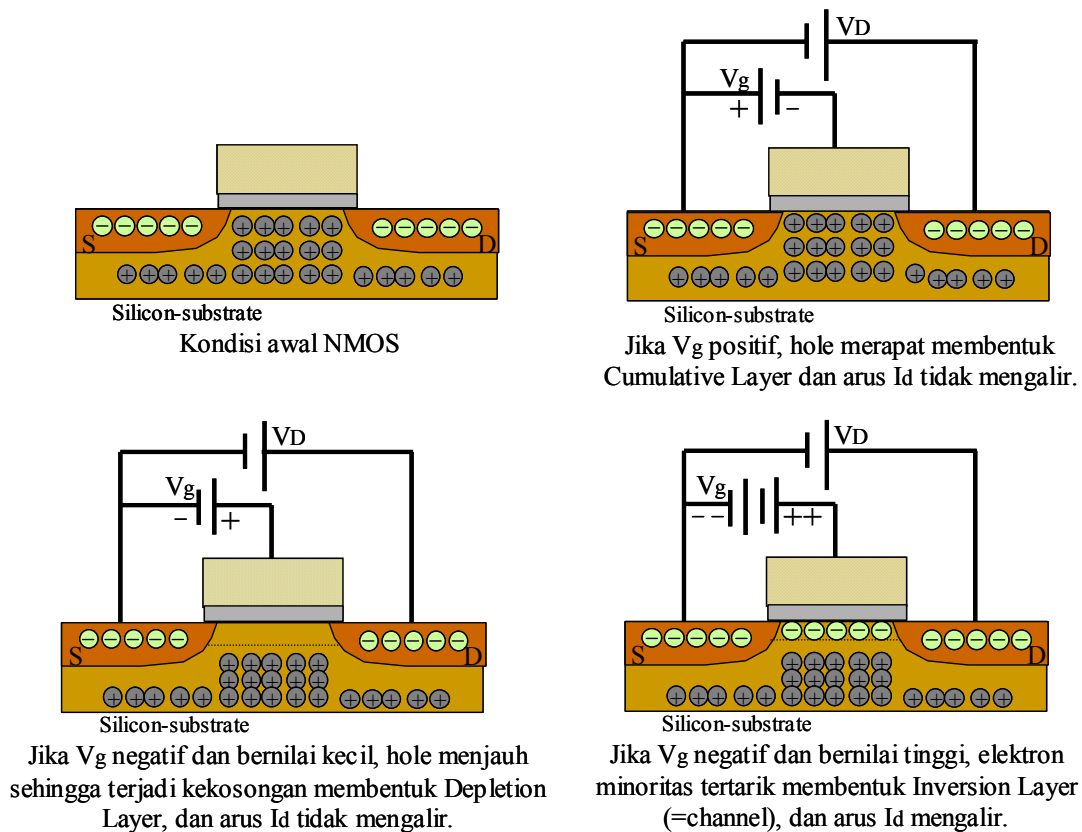
	MoSi ₂	WSi ₂	C54-TiSi ₂	CoSi ₂	NiSi
Resistivity ($\mu \Omega \cdot \text{cm}$)	100	70	10~15	18~25	20
Titik leleh (°C)	1870	2167	1537	1326	993
Suhu pembentukan (°C)	1000	950	750~900	550~900	
Jenis atom difusi	Si	Si	Si	Co	Si

Tabel 6. Jenis metal silicide dan karakternya.

Channel

Channel adalah bagian Silikon substrate pada MOS transistor yang berada tepat dibawah Gate Dielectric, antara Source dan Drain. Channel terbentuk karena tegangan listrik pada Gate (V_g) yang tertahan oleh Gate dielectric. Pada NMOS, S/D memiliki carrier mayoritas berupa elektron (-), sedang Si-substrate didominasi hole (+). Dengan memberikan tegangan positif pada V_g , maka pada tegangan rendah, hole di bawah Gate dielectric menjauh sehingga terbentuk lapisan tipis dibawah Gate dielectric yang tidak bermuatan. Lapisan ini disebut Depletion Layer, bersifat sebagai insulator.

Tapi jika V_g diperbesar lagi maka pada suatu nilai tertentu (disebut threshold voltage, V_{th}), maka elektron didalam Si-substrate (yang merupakan minoritas) tertarik ke interlayer Si/(Gate dielectric:SiO₂) sehingga terbentuk channel (Inversion Layer) bermuatan negatif dibawah Gate dielectric. Dengan terbentuknya channel ini Source dan Drain menjadi terhubung dan arus listrik mengalir (drain current, I_d). Jadi channel terbentuk karena adanya tegangan listrik pada Gate dan akan tertutup seandainya V_g bernilai negatif. Untuk PMOS berlaku sebaliknya. Gambar 12 menunjukkan prinsip kerja NMOS dan pembentukan channel menurut tegangan listrik yang diberikan.



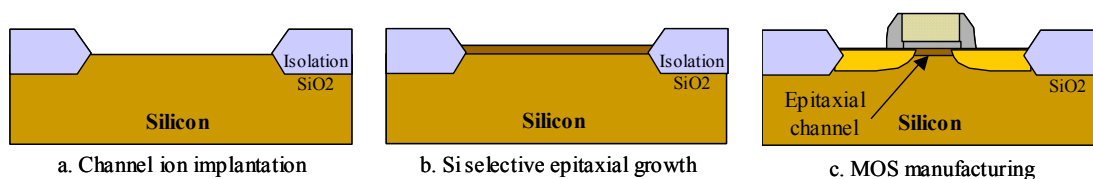
Gambar 12. Prinsip kerja NMOS

Untuk mendapatkan nilai threshold voltage (V_{th}) yang diinginkan, channel juga didoping dengan impuritas yang sama dengan Silikon substrate seperti As, P, B, In, dengan metode ion implantasi. Agar mampu mencegah short channel effect, channel doping membutuhkan impuritas dengan dose yang tinggi. Namun jika secara total substrate didoping dengan dose tinggi, maka akan terbentuk capacitor parasit antar S/D dan substrate dan juga daya tahan terhadap tegangan/medan listrik akan turun. Selain itu, pada MOS dengan panjang Gate (L_g) $0,1\mu m$, channel doping telah mencapai nilai $10^{18}/cm^3$. Ini menyebabkan nilai V_{th} menjadi tinggi dan mobilitas carrier akan turun karena benturan sesama carrier akan meningkat.

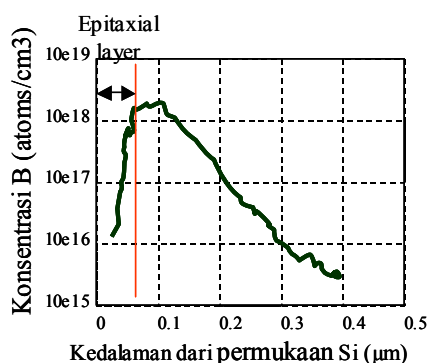
Untuk itu, bentuk ideal dari profil impuritas adalah dose tinggi pada bagian dalam (atau bawah) channel dan dose rendah pada bagian permukaan channel yang dekat dengan Si/SiO₂ interlayer. Profil ini disebut distribusi retrograde.

Tapi untuk mendapatkan profil retrograde dengan metode ion implantasi adalah sangat sulit, mengingat profilnya akan membentuk distribusi normal. Untuk itu digunakan metode Silicon selective epitaxial growth untuk channel (gambar 13).

Pada Si substrate yang memiliki impuritas tinggi, ditumbuhkan Silikon secara selektif dengan ketebalan 40~10nm, dengan impuritas yang sangat rendah, sehingga membentuk profil seperti pada gambar 14.



Gambar 13. Channel dengan lapisan epitaxial.



Gambar 14. Profil impuritas dengan epitaxial channel

Selain itu, dilaporkan juga bahwa dengan membentuk lapisan tipis SiGe (Si_xGe_y), channel mengalami 'strain', dan meningkatkan mobilitas carrier dalam MOS.

Metal Wiring (interconnect)

Untuk wiring atau interconnect, material yang selama ini terus dipakai adalah metal Al. Ini disebabkan oleh resistivity Al yang cukup rendah, mudah diproses dengan Reactive Ion Etching (RIE, disebut juga dry etching atau plasma etching) dan terbentuknya lapisan oksida (Al_2O_3) yang stabil dipermukaan Al, yang berfungsi juga melindungi Al didalamnya. Tabel 7 menampilkan jenis logam dan resistivity serta titik dididhnya. Titik didih adalah parameter yang menentukan performance metal untuk menentukan lifetime. Juga dapat dilihat bahwa Al memiliki resistivity nomor 4 terkecil setelah Ag, Cu dan Au.

	Al	Mg	Au	Cu	Mo	W	TiN	TaN
Resistivity ($\mu \Omega \cdot cm$)	2.7	1.6	2.4	1.7	5.6	5.5	~198	20~200
Titik leleh ($^{\circ}C$)	660	960	1060	1090	2610	3390		

Tabel 7. Jenis metal pada wiring dan karakternya.

Awal 70-an, Al memunculkan masalah Al spike, dimana Al terdifusi kedalam Silikon. Untuk mencegah ini, kedalam Al dicampurkan 1% Silikon, membentuk Al-Si alloy. Kemudian seiring

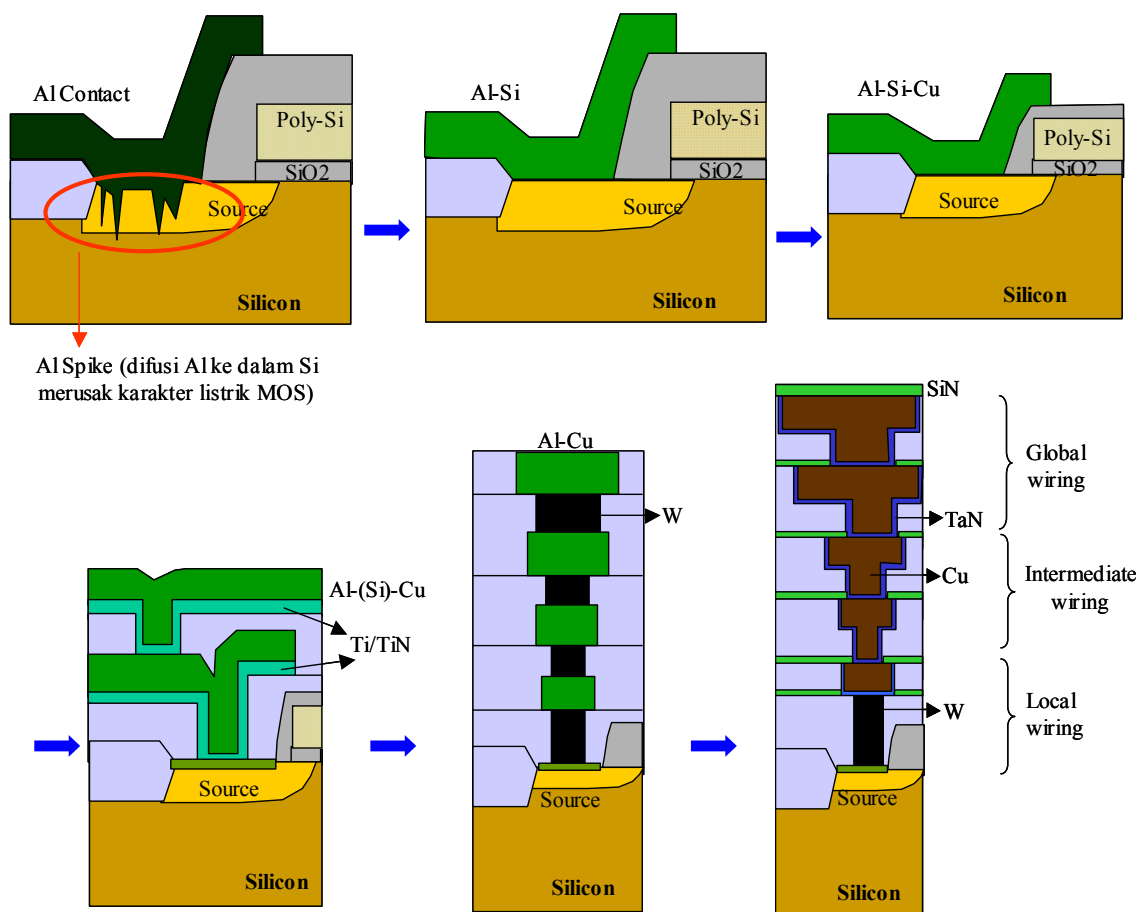
dengan miniaturisasi, densitas arus meningkat dalam wiring yang sangat tipis, menuntut pencampuran Cu (5%) didalam Al-Si, membentuk Al-Si-Cu. Selanjutnya, pada pertengahan 80-an, Ti, TiN dan WN digunakan sebagai barrier metal melindungi S/D dari sentuhan langsung Al. Untuk itu campuran Si tidak diperlukan lagi sehingga bahan wiring kemudian digunakan dalam bentuk Al-Cu alloy.

Adapun jumlah lapisan wiring, pada pertengahan 80-an umumnya digunakan 2 lapis, dan saat ini telah mencapai 5~6 lapis sesuai dengan jumlah transistor dalam LSI chip.

Juga, bagian contact dan via hole kemudian menggunakan material W, dan dengan itu meningkatkan performance interconnect.

Mendekati wilayah 0,1 μ m, hambatan listrik pada Al mulai memunculkan masalah. Untuk itu penggunaan metal yang lebih rendah resistivitasnya menjadi perlu. Akhir 80-an, penggunaan Cu (Au dan Ag terlalu mahal) mulai diriset oleh berbagai lembaga dan perusahaan. Namun aplikasinya terbentur oleh masalah a.l: 1.Cu selama ini dikenal sebagai bahan yang mengkontaminasi Silikon karena difusinya yang tinggi, 2.susah diolah dengan plasma etching karena reaktannya berbentuk zat padat, dan 3.tidak memiliki bentuk oksida yang stabil, dimana jika oksida tersebut terkelupas maka bagian bawahnya akan segera teroksidasi.

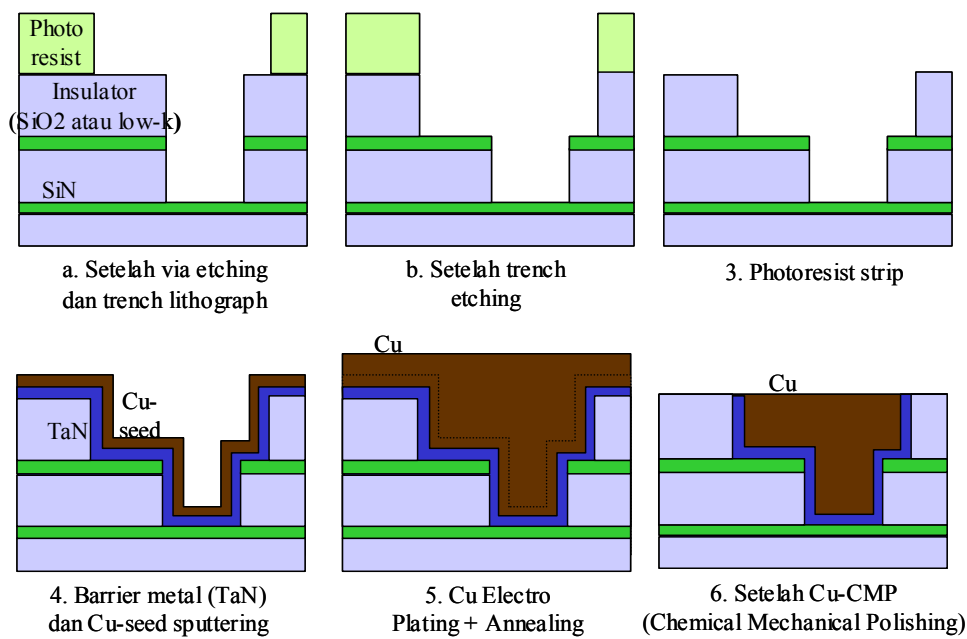
Akan tetapi, pada tahun 1997 IBM dan Motorola mempelopori penggunaan Cu sebagai material interconnect, yang segera mendorong produsen lain untuk menggunakan bahan yang sama dalam produk LSInya.



Gambar 15. Perubahan struktur dan material metal interconnect.

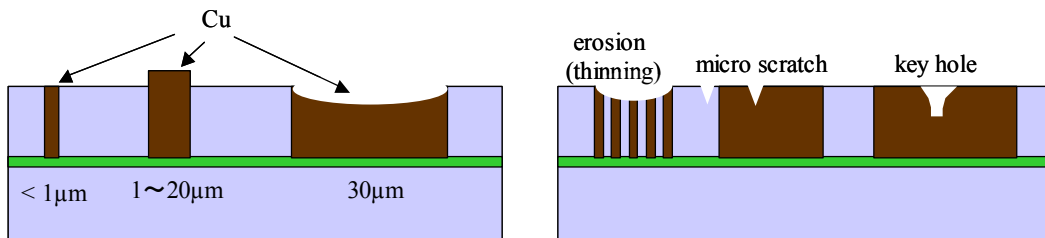
Untuk aplikasi Cu, digunakan metode damascene, yaitu dengan lebih dahulu membentuk wadah pada insulator untuk Cu line berupa trench dan via hole. Setelah wadah terbentuk dengan lithograph dan plasma etching, kemudian barrier metal (Ta, TaN) dideposisi dengan metode sputtering dengan ketebalan sekitar 30nm. Kemudian dengan metode yang sama Cu-seed, yang akan menjadi benih awal kristalisasi Cu, dideposisi. Selanjutnya dengan metode electro plating, Cu dideposisi di seluruh permukaan wafer. Terakhir dengan menggunakan metode Chemical Mechanical Polishing (CMP), Cu diratakan setinggi wadah insulator yang telah disediakan. Bagian penting yang tidak boleh dilupakan adalah deposisi Etching Stopper atau Hard Mask untuk melindungi insulator dibawahnya dari kontaminasi Cu, dengan material insulator SiN, SiC, SiCN, SiO₂ dll.

Jika via dan trench diproses secara terpisah (mulai dari pembentukan wadah sampai proses Cu sampai CMP), disebut Single Damascene (SD) dan jika via dan trench dibentuk dalam satu siklus (2x lithograph dan etching dan 1x Cu proses sampai CMP) biasa disebut Dual Damascene (DD).



Gambar 16. Skema sederhana Dual Damascene proses flow

Gambar 17 menunjukkan beberapa persoalan yang dihadapi oleh proses damascene, terutama setelah CMP, yang dapat diatasi dengan optimalisasi mekanik (kecepatan spin dll), kimia (disebut juga slurry) dan cleaning setelah CMP.



Gambar 17. Tantangan CMP pada proses damascene Cu

Interlayer Dielectric (Insulator antar metal)

Untuk generasi Al wiring, insulator yang digunakan adalah SiO_2 dan BPSG (Boron Phosphate doped Silicate Glass). BPSG digunakan untuk menutupi permukaan yang tidak rata setelah Metal1 selesai dibentuk dan SiO_2 dideposisi, karena BPSG akan mengalami reflow pada saat annealing. Setelah itu untuk tingkat perataan permukaan yang lebih tinggi, digunakan metode CMP.

Pada generasi Cu, penggunaan SiO_2 (nilai konstanta dielectric $k=3,9$) tidak terlalu membantu peningkatan performance interconnect. Ini mengikuti persamaan delay time $\tau = R \cdot C = \{\rho \cdot (l/S)\} \cdot$

$\{\epsilon_0 \cdot k \cdot (S/d)\}$, dimana R adalah hambatan listrik metal wiring dan C adalah nilai capacitor interlayer dielectric. Untuk menurunkan nilai, Al diganti dengan Cu, sedang untuk menurunkan nilai C, maka nilai k harus diturunkan dengan menggunakan low-k material (nilai k yang lebih kecil dari SiO₂). Ini adalah kebalikan dari penggunaan high-k material pada Gate dielectric atau Capacitor pada DRAM.

Dengan mengintroduksi molekul F kedalam SiO₂, maka didapat SiO_xF_y (FSG : Fluorinated Silicate Glass) dengan nilai k=3,2~4,0. Kemudian dengan memasukkan ikatan Si:C atau Si:CH₃ kedalam ikatan Si:O membentuk SiOC (disebut juga Organo Silicate Glass=OSG, atau Carbon Doped Oxide=CDO), bisa didapatkan nilai k sampai 2,7. Sedangkan untuk mendapatkan nilai yang lebih kecil, maka perlu dimasukkan pori-pori udara, yang didapatkan dengan mengurangi densitas molekul insulator. Adapun nilai minimum k adalah 1, yang merupakan nilai udara (atau vacuum), sehingga bentuk akhir dari insulator secara teori adalah airgap atau lapisan udara.

Tabel 8 menunjukkan roadmap insulator yang diterbitkan pada tahun 1999, sesuai dengan nilai k dan tabel 9 menunjukkan jenis insulator menurut molekulnya. Akan tetapi pada kenyataannya, para produsen LSI termasuk Intel didesak untuk kembali pada FSG pada generasi 130nm (tahun 2002). Penyebab utamanya adalah, baik dengan mengintroduksi ikatan Si:C, apalagi dengan mengurangi densitas molekul insulator, maka akan didapat lapisan insulator yang lemah secara mekanik dan kimiawi, sehingga secara total reliabilitas lapisan diragukan. Gambar 18 menunjukkan persoalan yang dihadapi dalam proses integrasi Cu/low-k.

Adapun jenis low-k (merek dagang) yang saat ini banyak diriset dalam proses integrasi adalah tipe CVD a.1 : Aurora (k=2,7~2,4) dari perusahaan ASMI, Coral (k=3,0~2,5) dari Novellus System, Black Diamond (k=2,7~2,4) dari Applied Material dan Orion (k=2,2) dari Trikon Tech., semuanya adalah tipe CDO, dan tipe Spin-on a.1 : SiLK (k=2,6~2,0) dari Dow Chemical, NanoGlass dan FLARE (k=2,5~2,0) dari Honeywell, LKD (k=2,7~2,2) dari JSR, dan NCS (k=2,25) dari Shokubai Kasei (Catalysts and Chemical Inc.), dll. Dengan metode Spin-on, nilai k yang lebih kecil didapat karena lebih mudah membentuk pori-pori udara dengan metode ini. Tapi dari segi kekuatan mekanik (hardness, modulus, adhesion dll) dan daya tahan kimiawi maka CVD masih mendapat tempat prioritas.

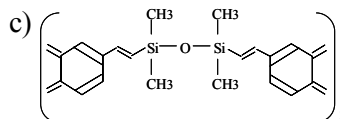
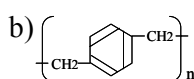
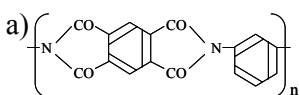
Tahun	1999	2000	2001	2002	2003	2004
Teknologi nod (nm)	180			130		
Panjang Gate (nm)	140	120	100	85	80	75
Jumlah lapisan metal	6~7	6~7	7	7~8	8	8
Local (Al atau Cu) (nm)	500	450	405	365	330	295
Intermediate (Al atau Cu) (nm)	640	575	520	465	420	375
Global (Al atau Cu) (nm)	1050	945	850	765	690	620
Material insulator antar metal	Fluorinated Silicate Glass (FSG)		Hydrogen Silses Quioxane(HSQ)		Organo Polymer, Inorganic	
konstanta permisivity (k-value)	3.5~4.0	3.5~4.0	2.7~3.5	2.7~3.5	2.2~2.7	2.2~2.7
k-value untuk DRAM	4.1	4.1	4.1	3.0~4.1	3.0~4.1	3.0~4.1

Tahun	2005	2008	2011	2014
Teknologi nod (nm)	100	70	50	35
Panjang Gate (nm)	65	45	32	22
Jumlah lapisan metal	8~9	9	9~10	9~10
Local (Al atau Cu) (nm)	265	185	130	95
Intermediate (Al atau Cu) (nm)	340	240	165	115
Global (Al atau Cu) (nm)	560	390	275	190
Material insulator antar metal	Xerogel, Fluoro Polymer, Porous SiO2		Porous Dielectrics and Air Gap	
konstanta permisivity (k-value)	1.6~2.2	1.5	< 1.5	< 1.5
k-value untuk DRAM	2.5~3.0	2.5~3.0	2.0~2.5	2.0~2.3

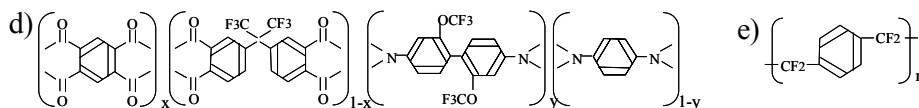
Tabel 8. ITRS Roadmap terbitan 1999 untuk interlayer dielectric.

Low-k material	Silicon dioxide	Fluorinated Silicate Glass	Polyimide	HSQ	Diamond like Carbon	Parylene-N
Rumus kimia	SiO2	(SiO2) _x (SiO3F2) _{1-x}	a)	SiO1.5H0.5	C	b)
Nilai k	3.9~4.5	3.2~4.0	3.1~3.4	2.9~3.2	2.7~3.4	2.7
Metode deposisi	PECVD	PECVD	Spin on	Spin on	PECVD	CVD

Low-k material	BCB	Fluorinated Polyimide	MSQ	Parylene-F	Fluorinated Amorphous Carbon	Teflon
Rumus kimia	c)	d)	SiO1.5(CH3)0.5	e)	a-C:F	(CF2CF2) _n
Nilai k	2.6~2.7	2.5~2.9	2.6~2.8	2.4~2.5	2.3	2.1
Metode deposisi	Spin on	Spin on	Spin on	CVD	PECVD	Spin on

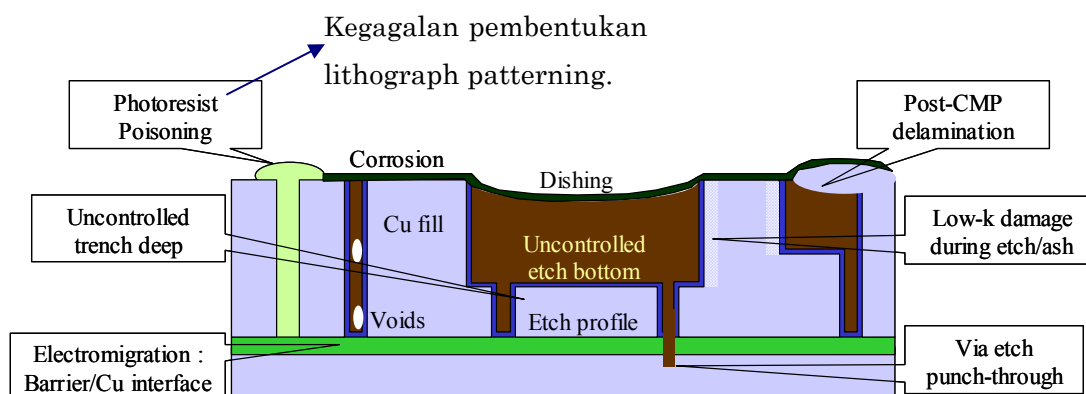


Low-k material	Mesoporous Silica	Porous-HSQ	Porous Aero Gel	Porous PTFE	Porous-MSQ	Xerogels (Porous Silica)
Rumus kimia	SiO ₂	SiO _{1.5} H _{0.5}	SiO ₂	(CF ₂ CF ₂) _n	SiO _{1.5} (CH ₃) _{0.5}	SiO ₂
Nilai k	2	2	1.8~2.2	1.8~2.2	1.7~2.2	1.1~2.2
Metode deposisi	Spin on	Spin on	Spin on	Spin on	Spin on	Spin on



HSQ : Hydrogen SilsesQuioxane
 BCB : BenzoCycloButene
 MSQ : Methyl SilsesQuioxane
 Teflon : PTFE + 2,2 bis-trifluoromethyl 4,5 difluoro-1,3 dioxole
 PTFE : Poly TetraFluoroEthylene

Tabel 9. Jenis interlayer dielectric dan bentuk molekulnya.



Gambar 18. Tantangan dalam proses integrasi Cu/low-k

Capacitor dalam DRAM (Dynamic Random Access Memory)

Tabel 10 menunjukkan trend dalam miniaturisasi DRAM. Untuk menjaga stabilitas muatan listrik dalam DRAM yang bisa rusak oleh radiasi sinar alpha dari ruang angkasa misalnya, dan berbagai noise lainnya, dibutuhkan nilai minimum capacitor sebesar 25 fF (femto = 10⁻¹⁵). Jadi nilai capacitor tidak bisa dikecilkan mengikuti miniaturisasi. Untuk mendapatkan nilai tersebut, maka sesuai dengan persamaan $C = \epsilon_0 \cdot k \cdot (S/d)$, diperlukan perluasan permukaan S, penipisan tebal insulator d atau menaikkan nilai k (= material high-k).

Pada 1Mbit DRAM, strukturnya adalah berupa plat datar. Memasuki generasi 4Mbit, struktur rumit 3 dimensi berupa stack (film berlapis) atau trench (wadah atau hole) diperlukan untuk mendapatkan luas permukaan S yang memadai. Dan saat ini, mengintroduksi material high-k pada capacitor telah dipikirkan dan diriset dengan serius, melebihi tingkat prioritas material high-k pada Gate dielectric rangkaian logic.

Tahun	1971	1975	1979	1982	1985	1988	1991	1994	1997	1999
Kapasitas Memory (bit)	1k	4k	16	64k	256k	1M	4M	16M	64M	256M
Design Rule (μm)	10	8	5	3	2	1	0.8	0.5	0.3	0.18
Voltase baterai (V)	20	12	12	5	5	5	5	5	3.3~2.5	3.3~2.5
Jenis transistor	PMOS	NMOS	NMOS	NMOS	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS
Tebal Gate dielectric (nm)	120	100	75	50	35	25	20	15	12	6
Kedalaman S/D Junction (μm)	1.5	0.8	0.5	0.35	0.3	0.25	0.2	0.15	0.12	0.1
Struktur Cell	3Tr	1Tr 1C Planar Capacitor				3Dimensi Capacitor (Stack atau Trench)				
Material Capacitor	SiO ₂				NO(Nitride Oxigen)					

Tabel 10. Perkembangan DRAM sampai tahun 1999

a) Struktur Stack

Tahun	1999	2002	2005	2008	2011	2014
Teknologi nod (nm)	180	130	100	70	50	35
Ukuran Cell (μm^2)	0.26	0.1	0.044	0.018	0.0075	0.0031
Struktur Capacitor	Silinder MIS	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
Material Capacitor	Ta ₂ O ₅	Ta ₂ O ₅	BST	epi-BST	?	?
Nilai k	22	50	250	700	1500	1500
Material Electroda bagian atas	poly-Si TiN	TiON	W, Pt, Ru, RuO ₂ , IrO ₂			
Material Electroda bagian bawah	poly-Si	W, Pt, Ru, RuO ₂ , IrO ₂		SrRuO ₃		

b) Struktur Trench

Tahun	1999	2002	2005	2008	2011	2014
Teknologi nod (nm)	180	130	100	70	50	35
Aspect Rasio (Depth/Width)	30~40	40~45	50~60	60~70	> 70	> 70
Kedalaman @ 35fF (μm)	6~7	5~6	5~6	4~5	4~5	5~6
Material Capacitor	NO	NO	NO	high-k	high-k	high-k

Tabel 11. Roadmap DRAM versi 1999 untuk struktur Stack dan Trench

Pergeseran material bergerak ke arah high-k dengan urutan SiO₂ → NO (Si₃N₄-SiO₂) → Ta₂O₅ → STO (Strontium Titanate = SrTiO₃) → BST (Barium Strontium Titanate = Ba_(x)Sr_(1-x)TiO₃) → PZT (Lead Zirconate Titanate = Pb{(Zr_(x)Ti_(1-x))O₃}).

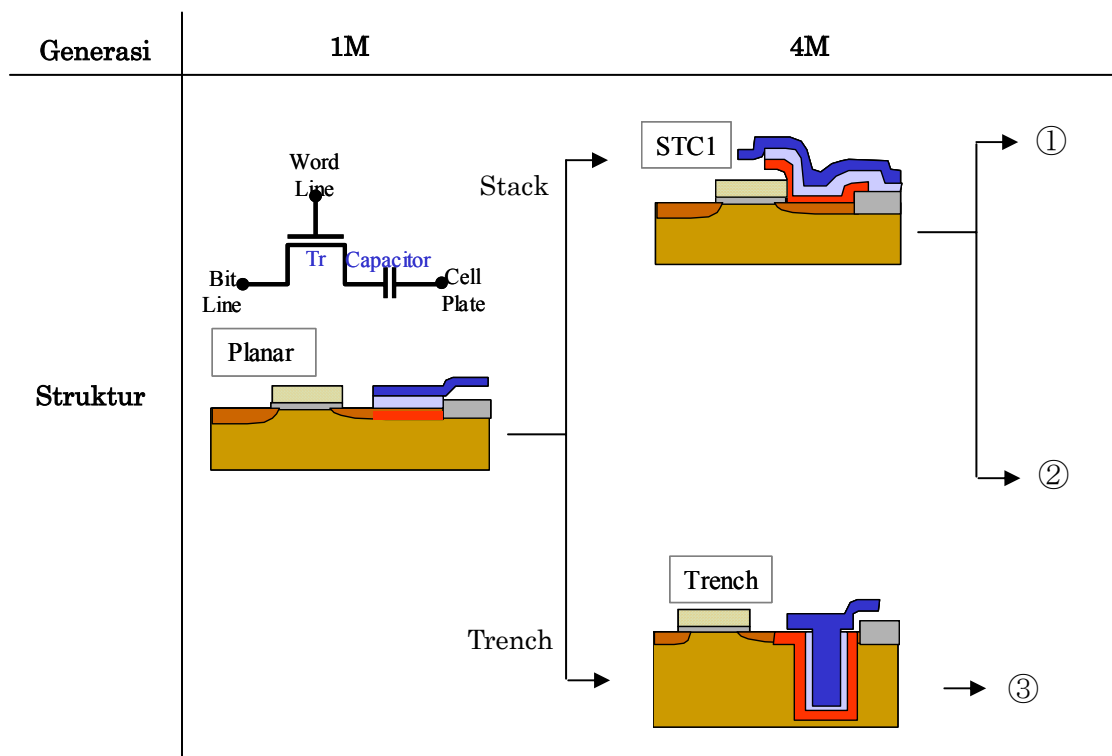
Untuk struktur stack, biasanya adalah berbentuk silinder. Bentuk ini dapat dipertahankan pada teknologi nod 180nm dengan memakai Ta₂O₅ yang memiliki nilai k=22. Pada generasi selanjutnya (130nm) maka dengan Ta₂O₅ bernilai k=50, bentuknya adalah berupa pedestal. Kemudian pada generasi 100nm dibutuhkan nilai k=250, yang bisa didapat dari material BST.

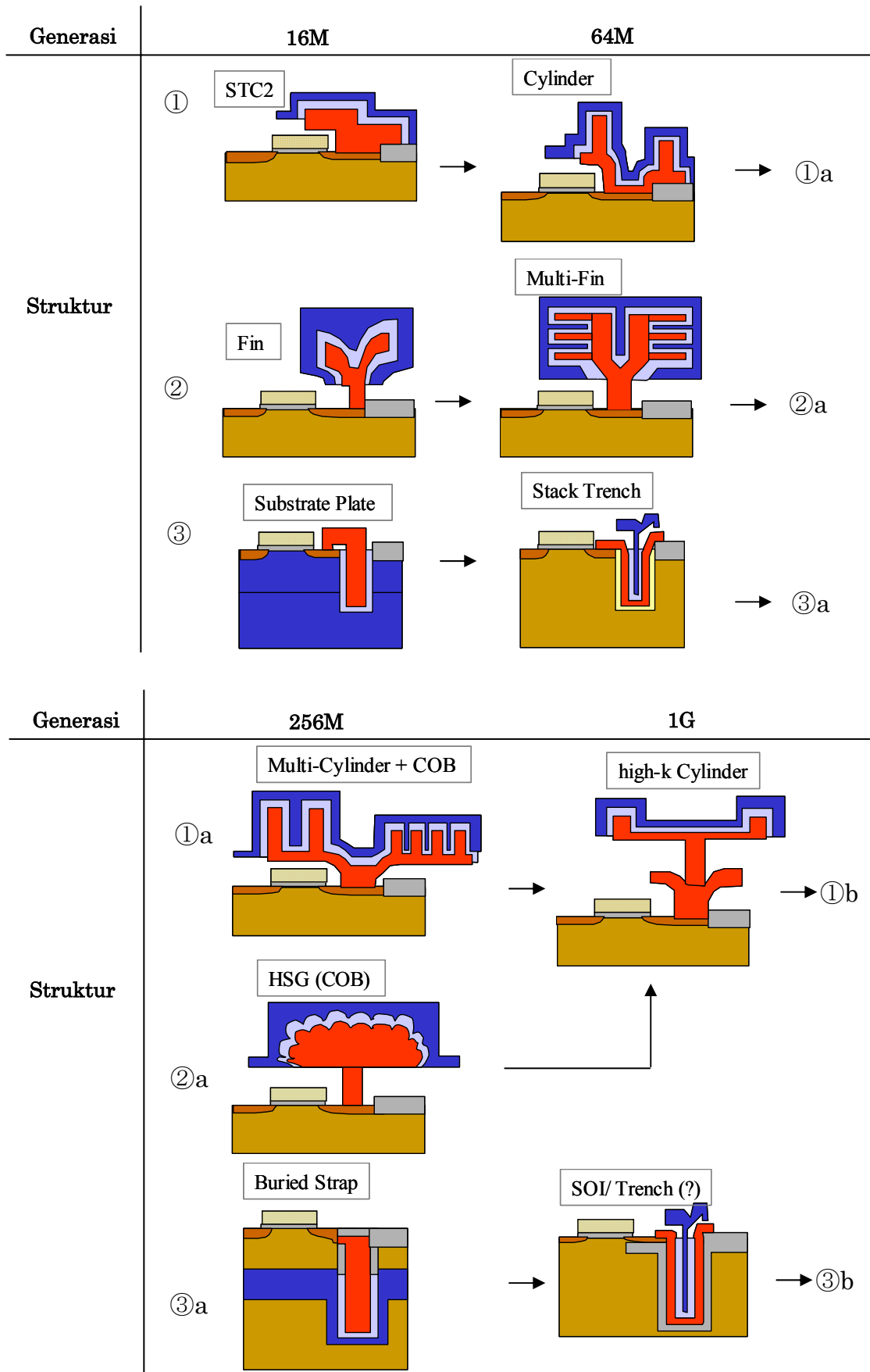
Adapun struktur trench, dengan meningkatkan Aspect Ratio (AR = kedalaman/lebar trench) bisa didapatkan nilai capacitor yang memadai dengan material NO. Akan tetapi, bagaimanapun saat memasuki generasi 70nm nantinya maka material high-k akhirnya memang harus diintroduksi juga. Film Ta₂O₅ bisa didapatkan dengan metode CVD, dengan kemampuan step coverage (melapisi

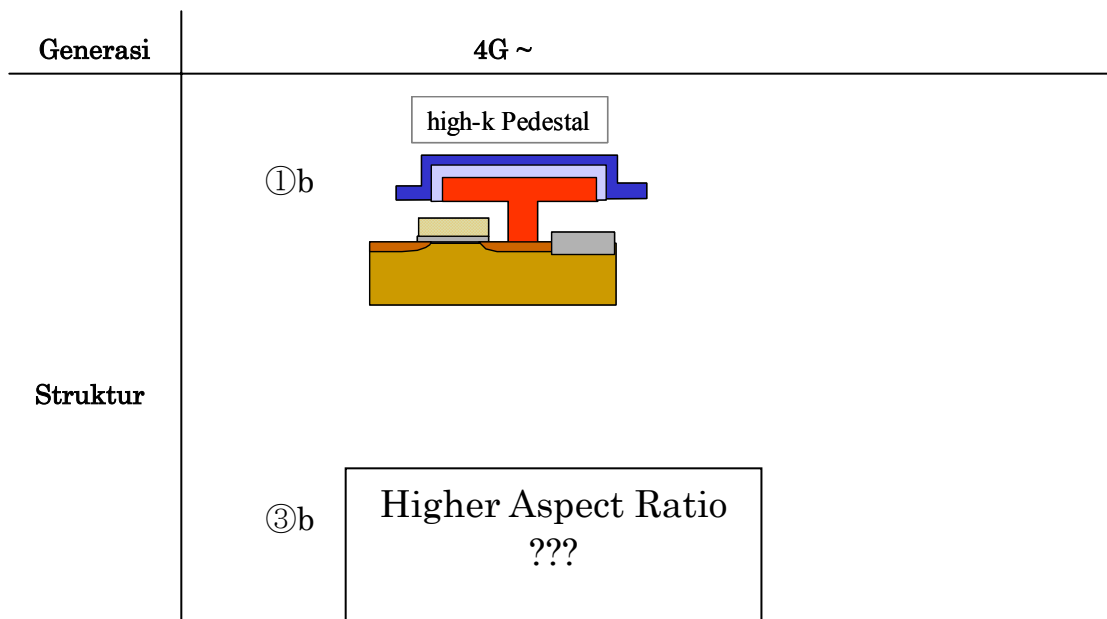
bagian bawahnya persis mengikuti bentuk lapisan bawah tsb) yang cukup tinggi. Untuk memisahkan impuritas seperti molekul C dan H yang terdapat dalam CVD chamber, dilakukan annealing dengan suhu sekitar 800°. Namun proses annealing ini bisa mengubah bentuk non kristal Ta₂O₅ menjadi poly kristal, yang dapat memunculkan resiko kebocoran arus. Ini dapat dicegah dengan memasukkan 10-40% Al membentuk Ta_{1-x}Al_xO, atau dengan terlebih dahulu mendeposisi lapisan tipis Pt atau Ru dan Ta₂O₅ ditumbuhkan diatas material ini. Dengan cara ini didapatkan nilai k sebesar 50.

Adapun film BST dapat diannealing dengan suhu yang lebih rendah: 650, dan diharapkan dapat segera menjadi kandidat capacitor setelah Ta₂O₅.

Masalah penting lainnya adalah material elektroda. Selama ini film Pt banyak dipakai sebagai elektroda bagian atas dan bawah sekaligus. Tetapi pada generasi berikutnya, masalah etching, kontaminasi, efek terhadap barrier metal dll akan muncul ke permukaan. Untuk itu, saat ini banyak diriset material berupa RuO₂/Ru dan IrO₂/Ir yang diharapkan tidak hanya tahan terhadap efek-efek diatas, tapi juga memperbaiki nilai kebocoran arus pada capacitor.







Gambar 19. Perkembangan struktur DRAM

Penutup

Disini telah diterangkan sedikit mengenai perkembangan CMOS, dilihat dari struktur dan material film tipis penyusunnya. Masih banyak lagi yang belum dapat diterangkan disini seperti jenis DRAM dan memori lainnya (Flash Memory, FeRAM, dll).

Juga tulisan ini berdasarkan pada generasi 180nm, sedangkan saat ini telah dirilis produk massal untuk generasi 130nm dan telah diriset berbagai kemungkinan sampai pada generasi 45nm. ITRS pun telah merombak Roadmap 1999 dengan versi terbaru 2002.

Bagian lain yang cukup menarik adalah sampai dimana hukum Moore bisa dipenuhi, baik dengan memodifikasi struktur MOS (Silicon on Insulator (SOI), Dual Gate, Tri Gate, all-Round Gate, Vertical Transistor, dll) atau dengan menggunakan material baru seperti high-k, low-k dielectric, Cu, Au, Ag dll.

Juga menarik untuk memperhatikan bagaimana pusat-pusat LSI berpindah dari satu produsen ke produsen lain, negara ke negara lain. Sebagaimana diketahui bahwa untuk menanggung semua beban LSI mulai dari R&D hingga produksi massal adalah mustahil bagi satu produsen saja. Ini menuntut kerjasama antar produsen, bahkan yang pernah jadi rival sebelumnya, industri dengan negara dan universitas serta lembaga riset lainnya.

Referensi

1. Iwai Hiroshi, Ohmi Shunichiro, 'High quality thin film required for scaled Silicon devices', Oyo Buturi vol.69 No.1, p4-p14 2000.
2. S.M. Sze, 'Semiconductor Devices –Physics and Technology-', Bell Telephone Lab. Inc., 1985.
3. Tarui Yasuo, 'Semiconductor Process Handbook', Press Journal, 1996.
4. Endo Nobuhiro, Kobayashi Nobuyoshi, Wakamiya Wataru, 'Semiconductor Manufacturing Materials for Beginners', Kogyo Chosakai, 2002.
5. Maeda Kazuo, 'Semiconductor Process for Beginners', Kogyo Chosakai, 2002.
6. <http://www.nanoelectronics.jp/index.htm>
7. <http://www.e-insite.net/semiconductor>
8. <http://public.itrs.net/>
9. <http://www.intel.com/labs/index.htm?iid=devnav+lab&>
10. <http://pr.fujitsu.com/jp>
11. <http://www.selete.co.jp>
12. <http://www.samsung.com/Products/Semiconductor/index.htm>