

Tutorial Pembuatan LSI

Fitr Tanjung

tan_basa@yahoo.com

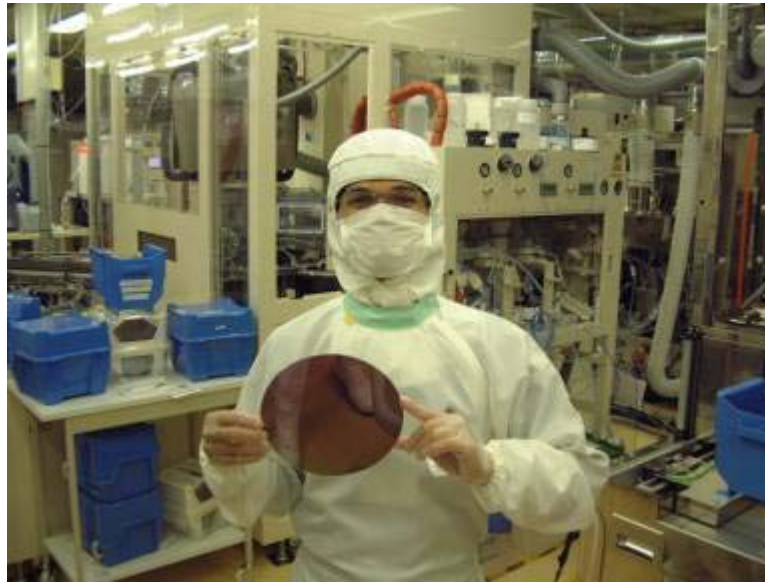
Lisensi Dokumen:

Copyright © 2003 IlmuKomputer.Com

*Seluruh dokumen di **IlmuKomputer.Com** dapat digunakan, dimodifikasi dan disebarakan secara bebas untuk tujuan bukan komersial (nonprofit), dengan syarat tidak menghapus atau merubah atribut penulis dan pernyataan copyright yang disertakan dalam setiap dokumen. Tidak diperbolehkan melakukan penulisan ulang, kecuali mendapatkan ijin terlebih dahulu dari **IlmuKomputer.Com**.*

Bagaimana LSI dibuat? Teknologi Proses

Fitr Tanjung



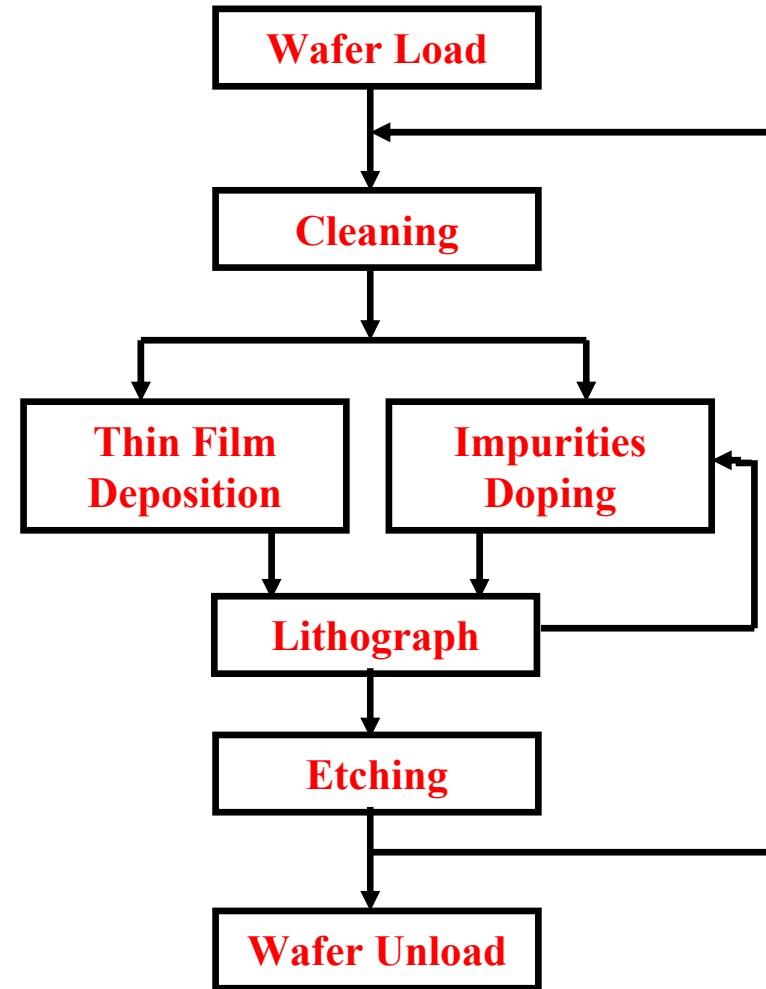
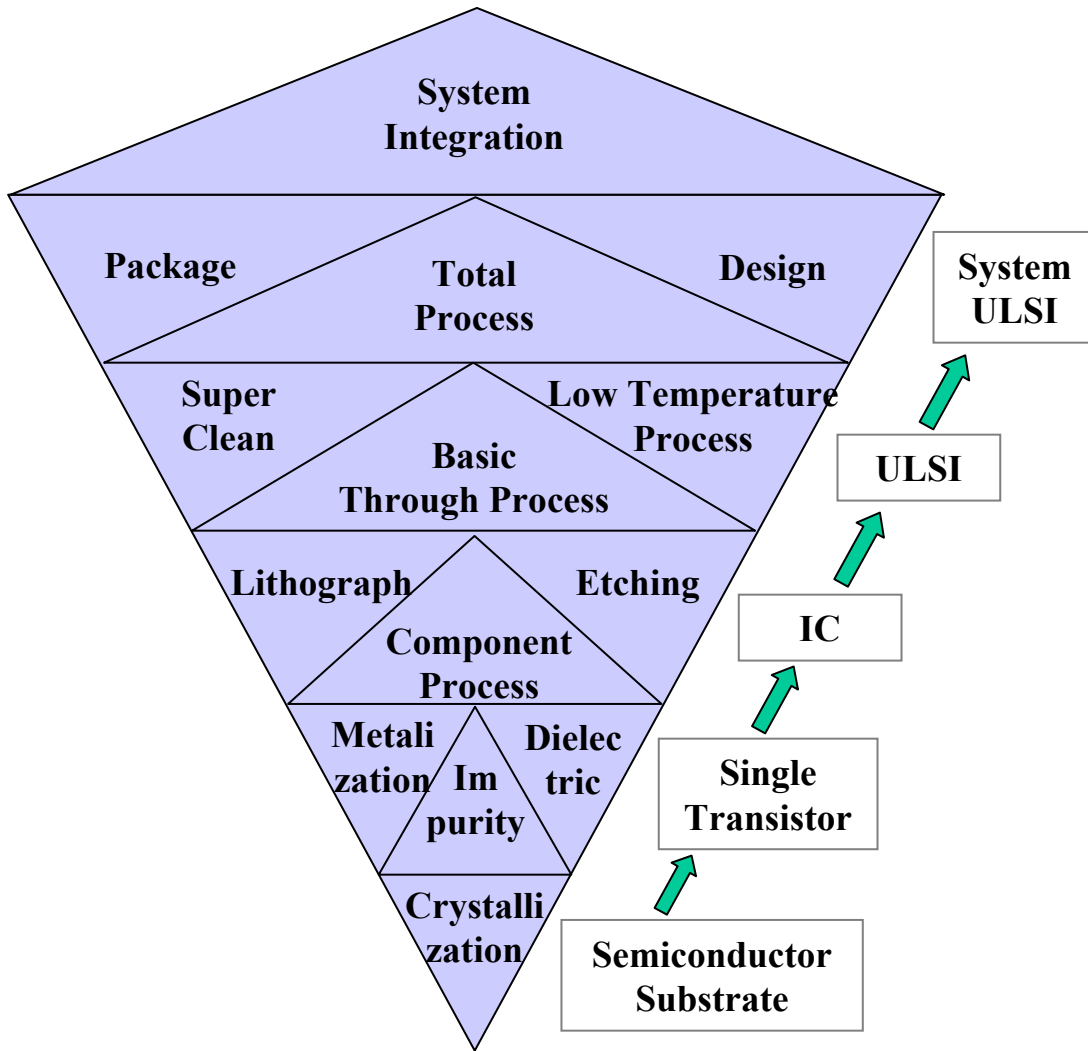
Camerman : Tsukagoshi Isao.
Copyrights : Tokyo Electron Ltd., April 2003.

Pendahuluan

Proses teknologi pembuatan LSI (Large Scale IC, dimana dalam 1 chip berukuran 1 cm² terdapat ratusan ribu sampai puluhan juta komponen transistor), merupakan gabungan dari teknologi elektronika dan mekanika, ilmu fisika dan kimia, material dan metalurgi, thermal dan vacuum, serta berbagai iptek dasar lainnya.

Pada pembahasan ini, ditampilkan secara berurut proses flow pembuatan LSI dengan mengambil contoh rangkaian Logic CMOS.

Diagram dan Proses Flow pembuatan LSI



Gambar1. Diagram hierarki teknologi kunci pembuatan LSI

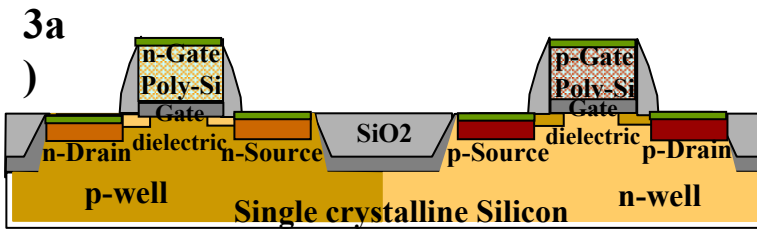
Gambar2. Proses flow pengolahan wafer

Logic CMOS (Complementary MOSFET)

Front End of Line (FEOL)



Proses pembuatan komponen (transistor dll)



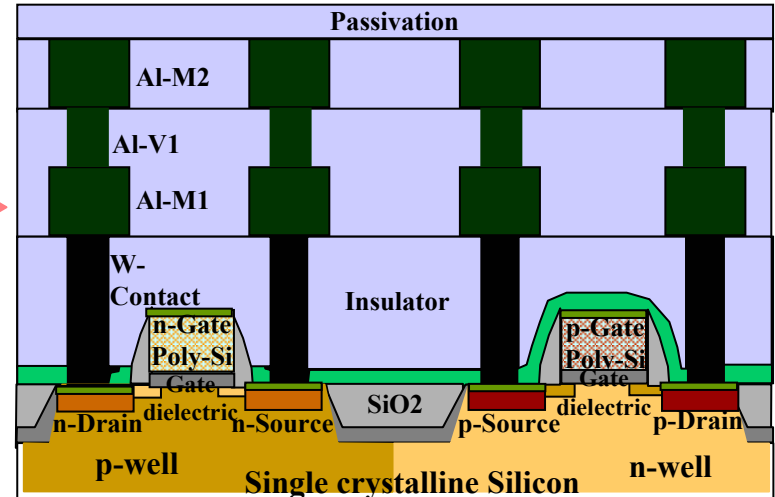
Back End of Line (BEOL)



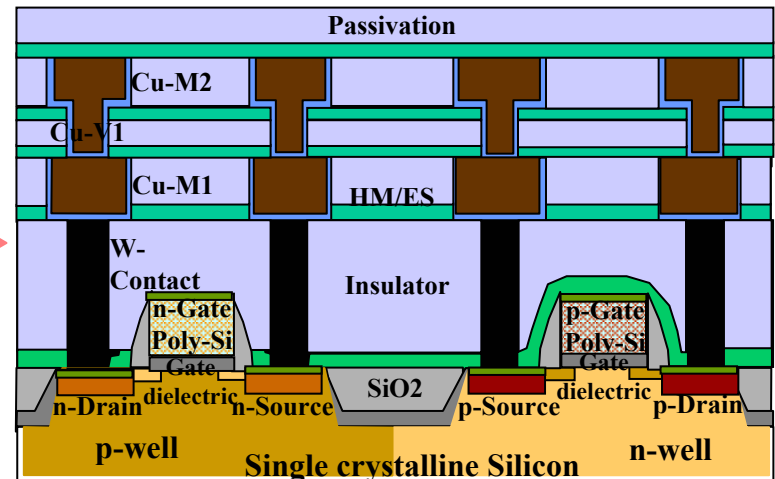
Proses pembuatan wiring (metallization)

3b

)



3c)



Gambar3. Penampang sederhana Logic CMOS.
3a) FEOL, 3b) Al-BEOL, 3c) Cu-BEOL

FEOL

Dalam pembuatan transistor, proses inti adalah:

1. Isolasi antar transistor
2. Pembentukan well(type p atau n)
3. Pembentukan gate dielectric(insulator)
4. Pembentukan gate elektroda
5. Pembentukan Source dan Drain(S/D)
6. Pembentukan lapisan metal silicide
7. Insulator sebelum metalisasi(Pre-metal Dielectric)
8. Perataan permukaan(planarization)

I. Silicon wafer preparation

Material : Kristal tunggal Silikon wafer dengan kemurnian 99,999999999% (eleven nine).
Trend teknologi saat ini adalah produk massal Silikon wafer berdiameter 200mm, sedangkan 300mm wafer memasuki tahap akhir riset dan pengembangan.

Proses : Cleaning (RCA Cleaning), meliputi

1. APM($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$), disebut juga Standard Cleaning 1(SC1) untuk pembersihan partikel(kotoran, debu dll berukuran 0,1 μm).
2. SPM($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$) untuk kotoran organik.
3. HPM($\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$) untuk kotoran logam.
4. FPM($\text{HF}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$) untuk membersihkan lapisan natural SiO_2 yang terbentuk di permukaan.
5. DHF($\text{HF}:\text{H}_2\text{O}$) dan BHF($\text{HF}:\text{NH}_4\text{OH}:\text{H}_2\text{O}$) untuk etching lapisan SiO_2 , natural ataupun yang sengaja dideposisi.

Single crystalline Silicon

II. Pembentukan isolasi antar transistor

1. Deposisi lapisan SiO₂

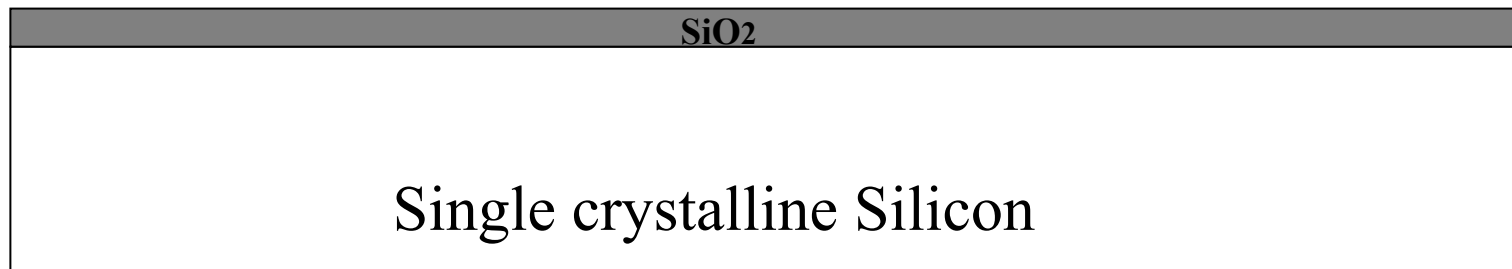
Proses : difusi O₂ di permukaan Silikon. Tebal lapisan : 200 Å.

Peralatan : thermal reactor.

Suhu : 1000-1400°C, Gas : O₂ atau H₂O.

Kecepatan reaksi ditentukan oleh suhu, ketebalan lapisan awal, dll.

Oksida yang terbentuk disebut juga thermal oxide(Th-Ox)



II. Pembentukan isolasi antar transistor

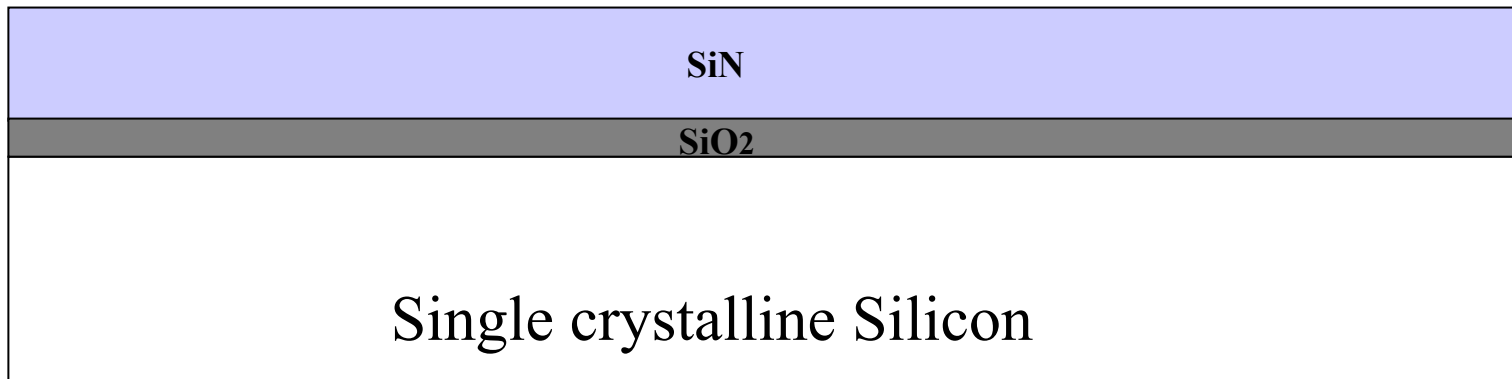
2. Deposisi lapisan SiN(Si₃N₄)

Proses : Chemical Vapor Deposition(CVD). Tebal lapisan : 1500 Å.

Peralatan : CVD chamber.

Suhu : <1000°C, Gas : SiH₄, N₂, Ar dll.

Kecepatan reaksi ditentukan oleh suhu, pressure dll.



II. Pembentukan isolasi antar transistor

3. Photolithography patterning

Material : Photoresist(bahan organic yang peka terhadap cahaya dan resistant terhadap proses etching)

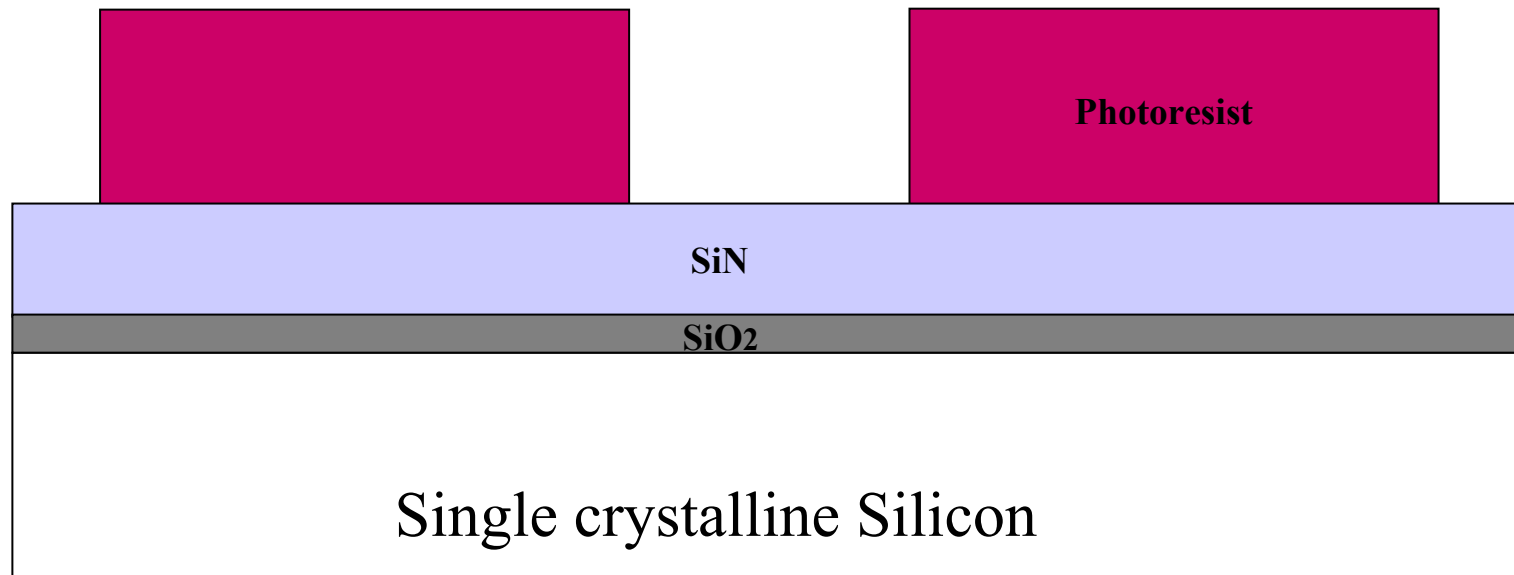
Proses : Photolithography, meliputi coating, exposure, bake, developing.

Peralatan : Coater, Laser Exposure dan Developer.

Coating spin : sekitar 1000 rpm. Suhu : 120-200°C. Laser λ : 365nm, 248nm.

Developer : larutan organik

Dengan photoresist bagian lain dilindungi dari etching.



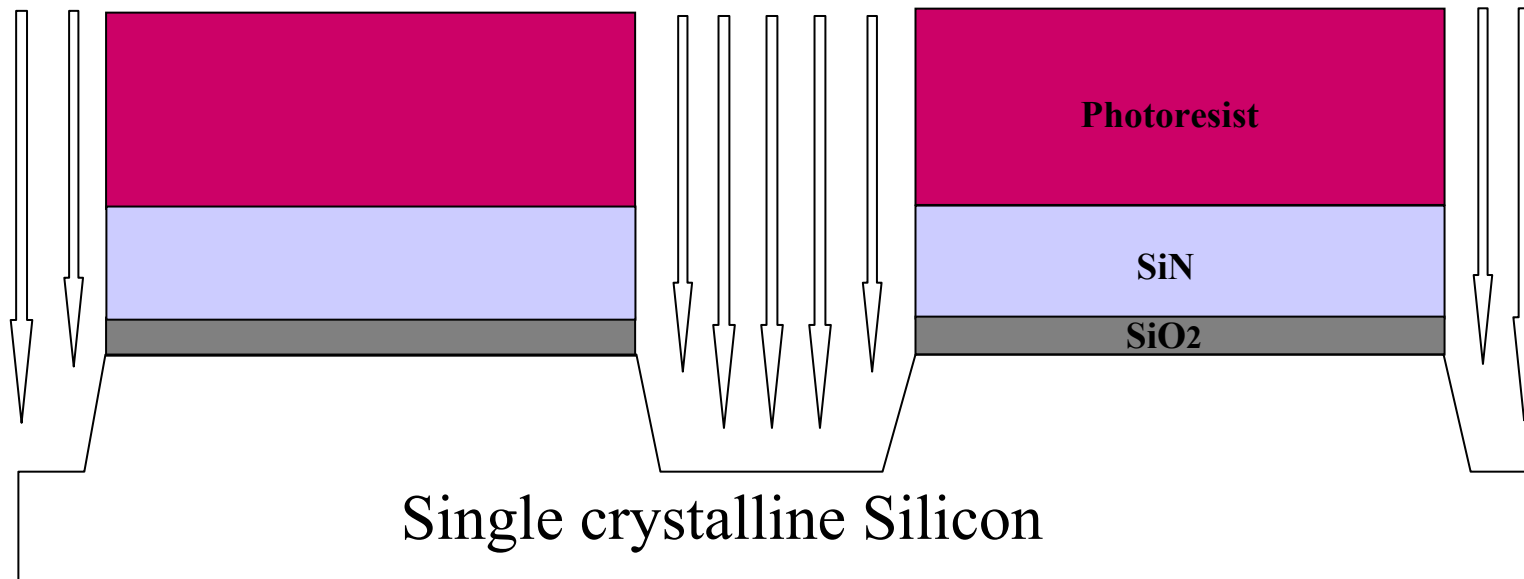
II. Pembentukan isolasi antar transistor

4. Etching (Reactive Ion Etching)

Proses : Etching (dry etching dengan gas/plasma).

Meliputi SiN etching, SiO₂ etching hingga Si etching (sudut 80 derajat)

Peralatan : Etching Chamber (dry).



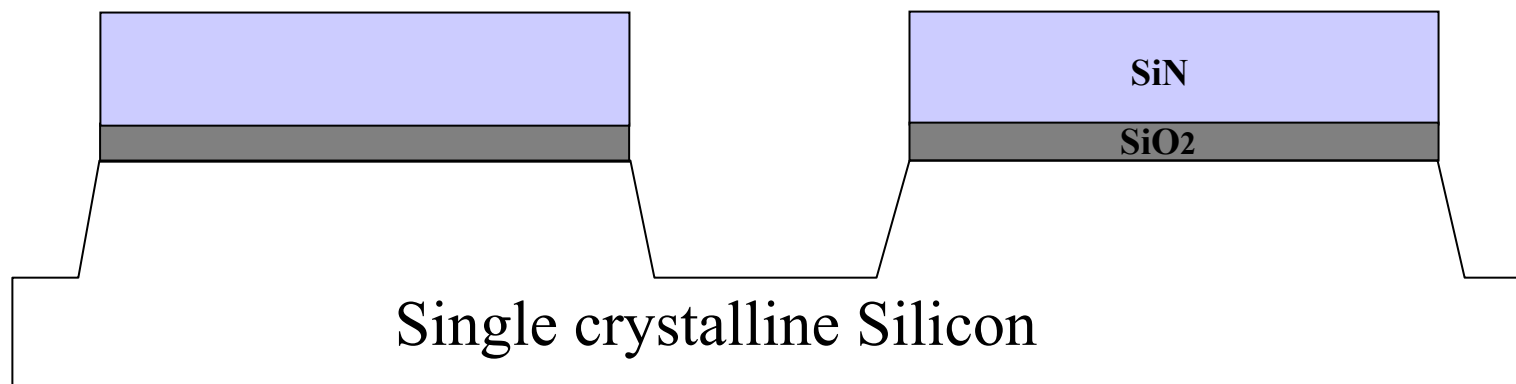
II. Pembentukan isolasi antar transistor

5. Ashing + Wet Cleaning

Proses : Ashing (pengabuan), yaitu membersihkan sisa photoresist dengan oksidasi.

Peralatan : Ashing Chamber. Gas : O₂. Suhu : <100°C. Tekanan rendah(mTorr).

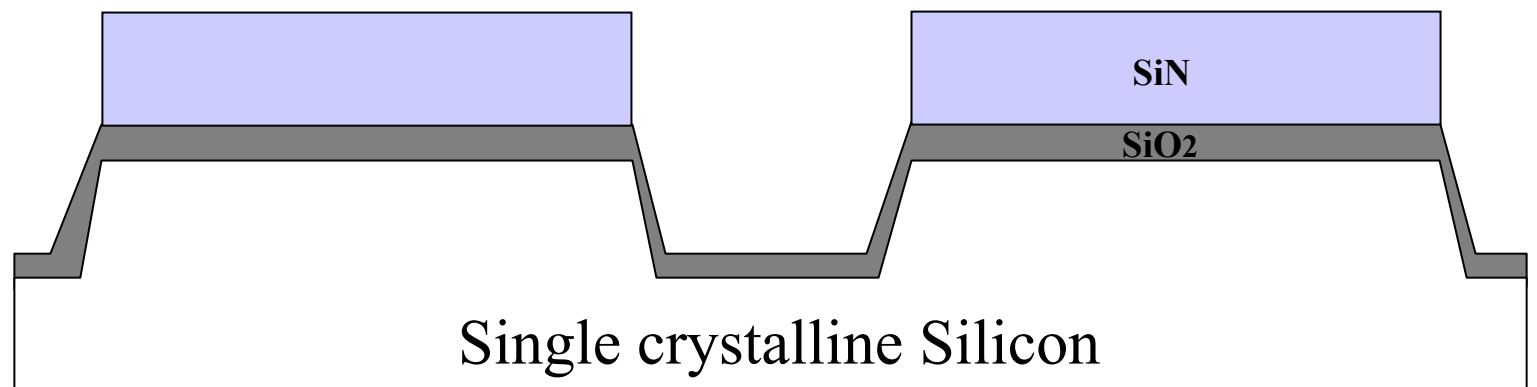
Wet cleaning dibutuhkan untuk membersihkan sisa-sisa photoresist. Untuk itu yang digunakan adalah larutan SPM.



II. Pembentukan isolasi antar transistor

6. Deposisi kembali lapisan SiO₂

Sama dengan proses 2.



II. Pembentukan isolasi antar transistor

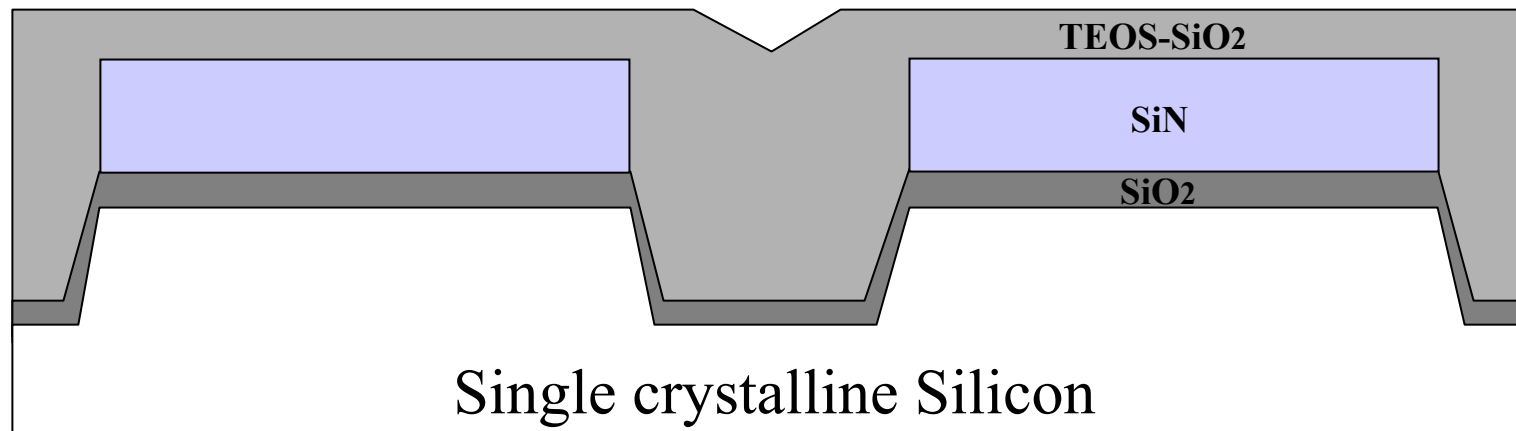
7. Deposisi lapisan TEOS-SiO₂

Sama dengan proses 2, yaitu CVD.

Peralatan : CVD chamber.

Suhu : <1000°C, Gas : TEOS=Si(OCH₃)₄.

Disebut juga TEOS-Oxide atau TEOS saja.



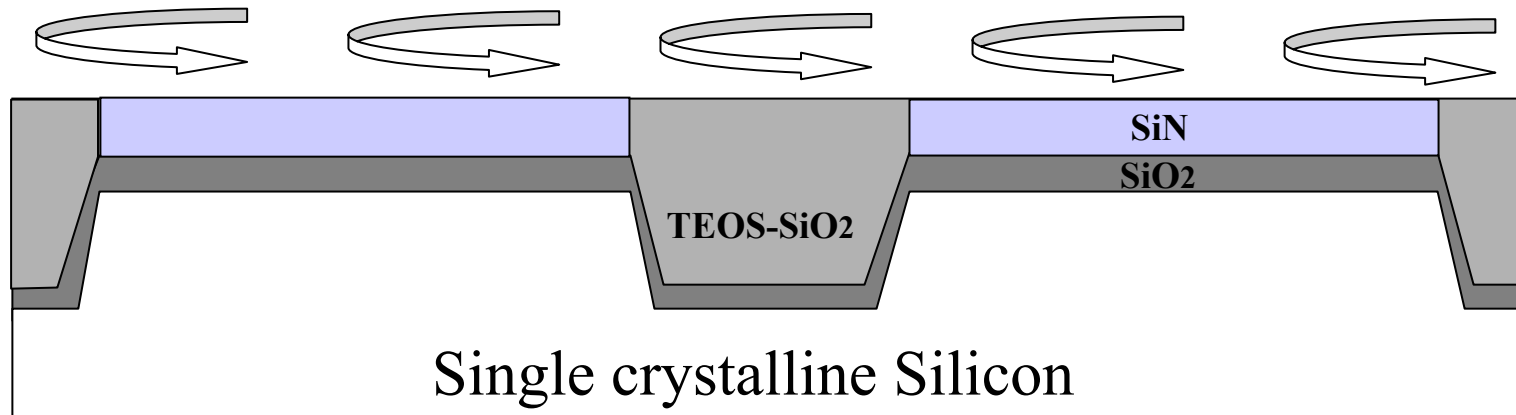
II. Pembentukan isolasi antar transistor

8. Perataan lapisan TEOS-SiO₂

Proses : Chemical Mechanical Polishing(CMP).

Peralatan : CMP chamber.

Kecepatan reaksi ditentukan oleh jenis larutan kimia(disebut juga slurry), kecepatan spin rotasi, dll.

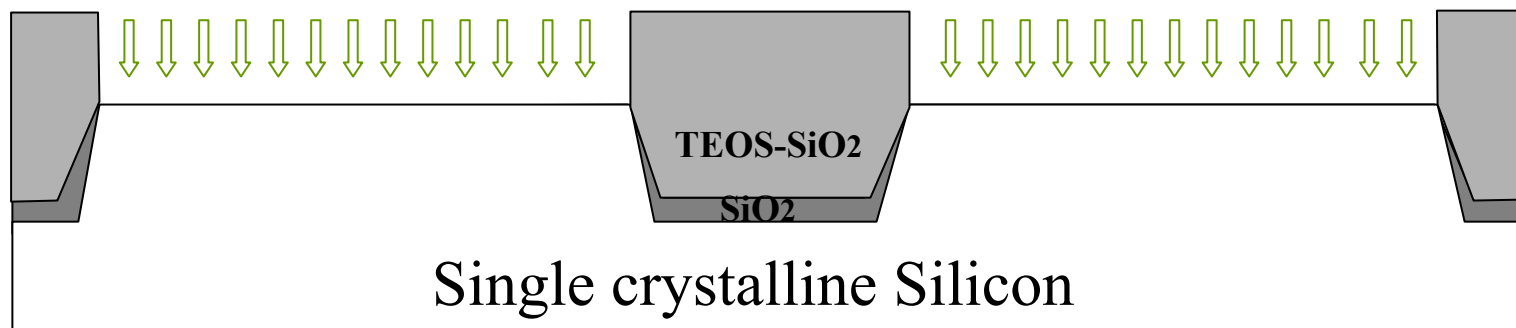


II. Pembentukan isolasi antar transistor

9. Wet etching untuk menyisahkan SiO₂/SiN

Proses : Wet etching (dengan larutan kimia). Keunggulan wet etching disini adalah tingkat selektifitas yang tinggi terhadap TEOS-SiO₂ dan Silicon.

Peralatan : Wet station.

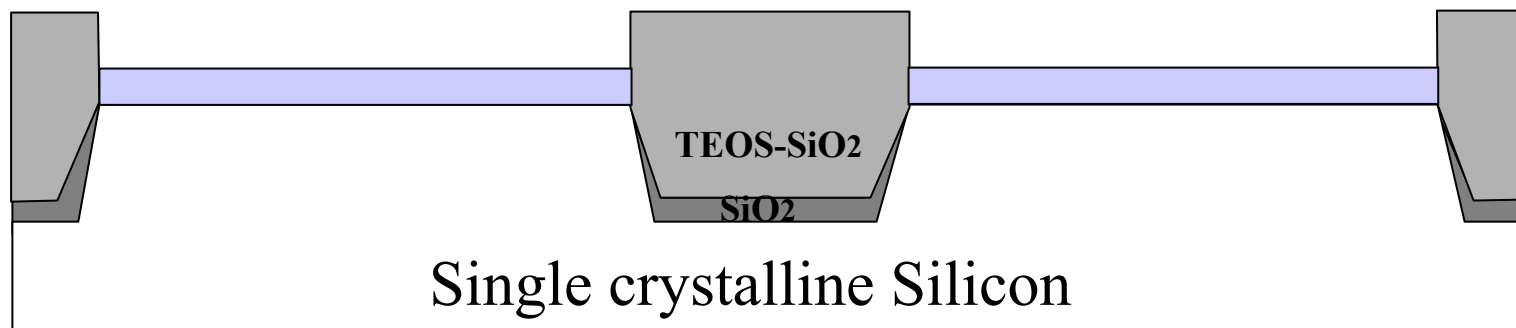


II. Pembentukan isolasi antar transistor

10. Deposisi lapisan SiO₂ untuk melindungi permukaan

Sama dengan proses 2 (untuk Th-Ox) atau proses 7 untuk TEOS-Ox.

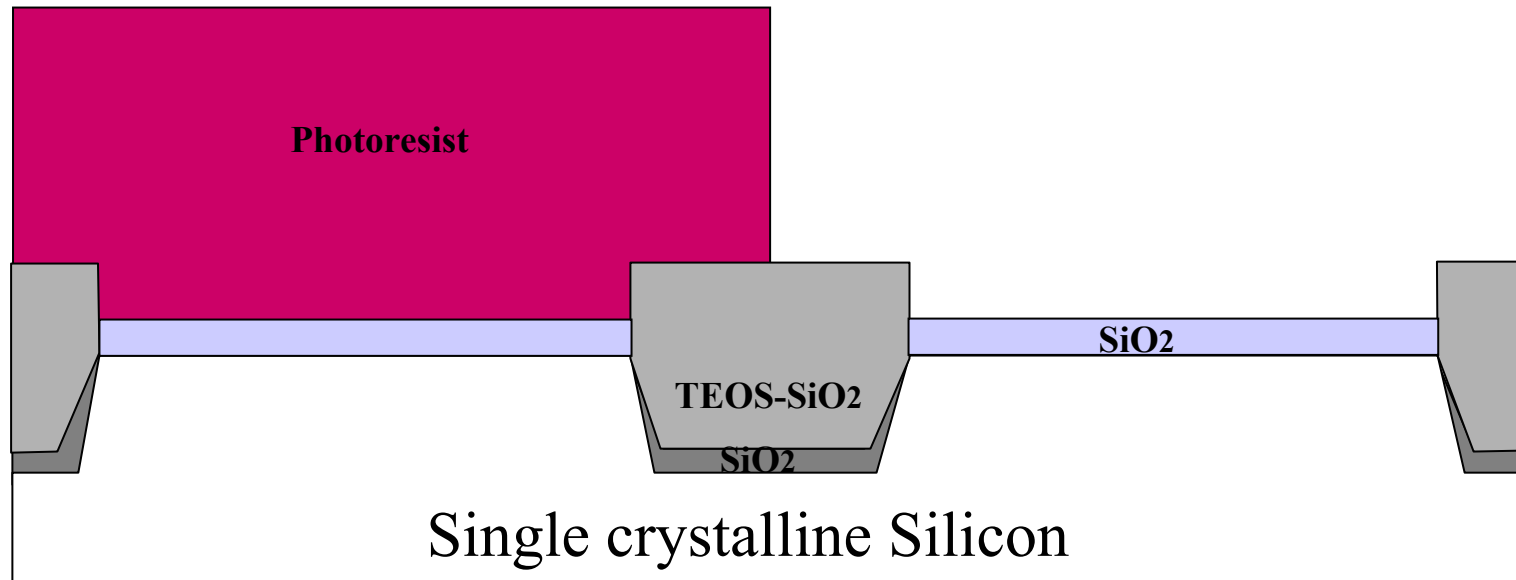
Dengan ini, proses pembentukan isolasi antar komponen (STI) selesai.



III. Pembentukan well (tipe n atau p) untuk tiap transistor

11. Photolithography patterning

Sama dengan proses 3.



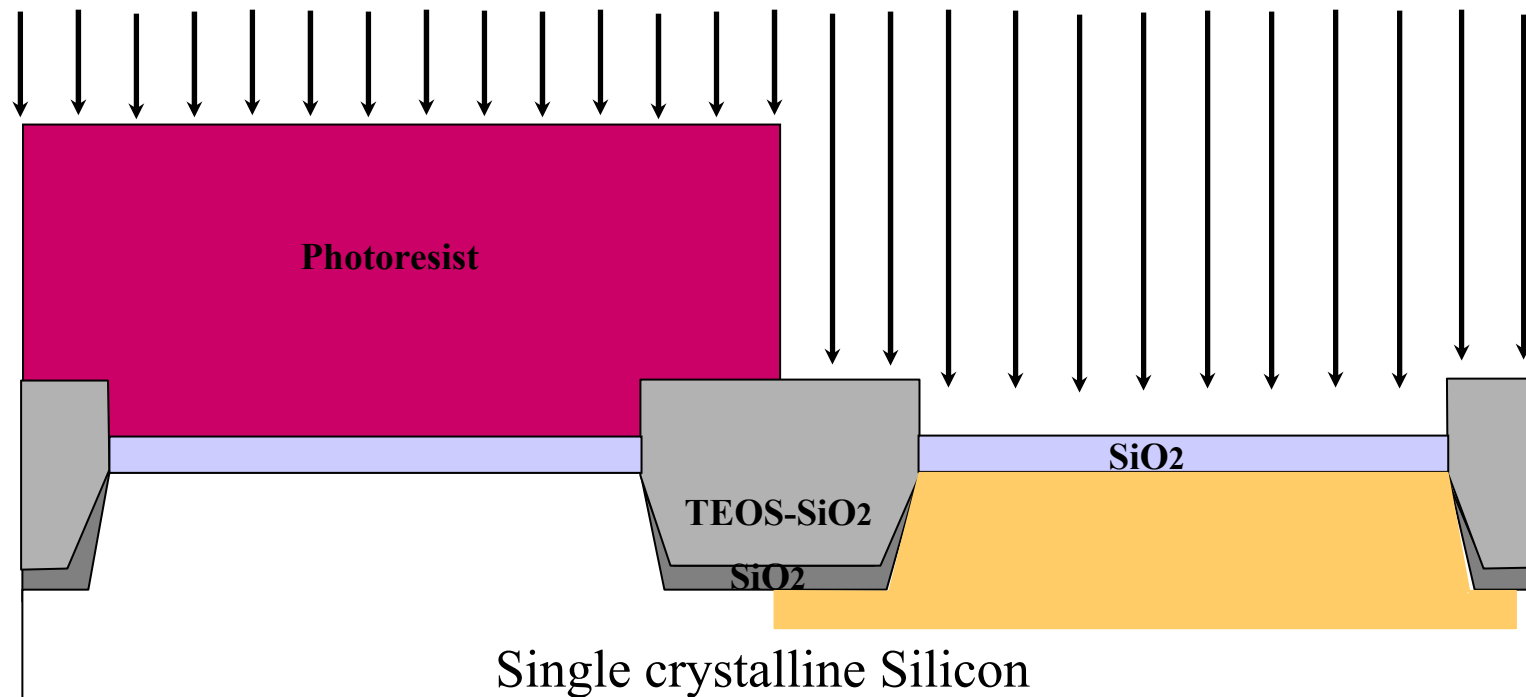
III. Pembentukan well (tipe n atau p) untuk tiap transistor

12. Pembentukan n-well

Proses : Ion implantasi.

Peralatan : Ion implantasi chamber.

Untuk n-well, ion yang diimplantasi adalah dari grup 5, yaitu As atau P.

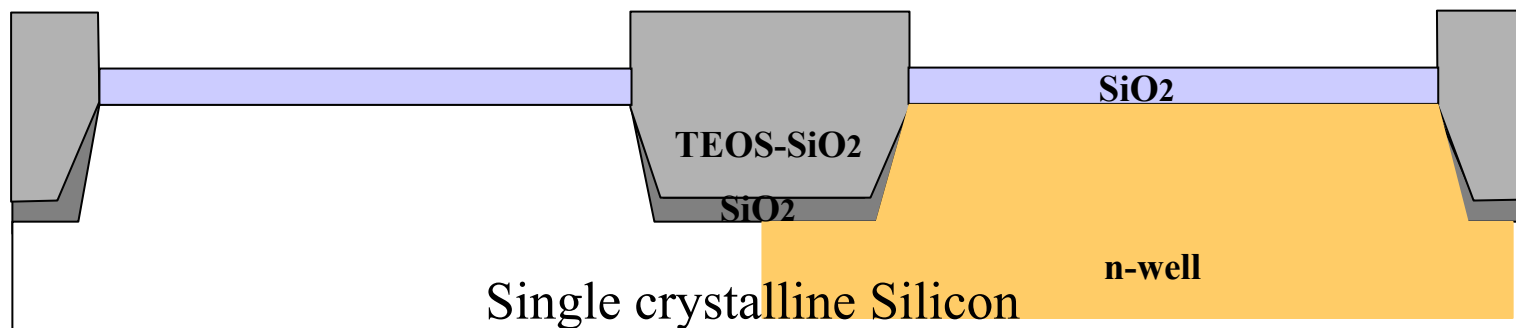


III. Pembentukan well (tipe n atau p) untuk tiap transistor

13. Ashing + Wet Cleaning

Sama dengan proses 5.

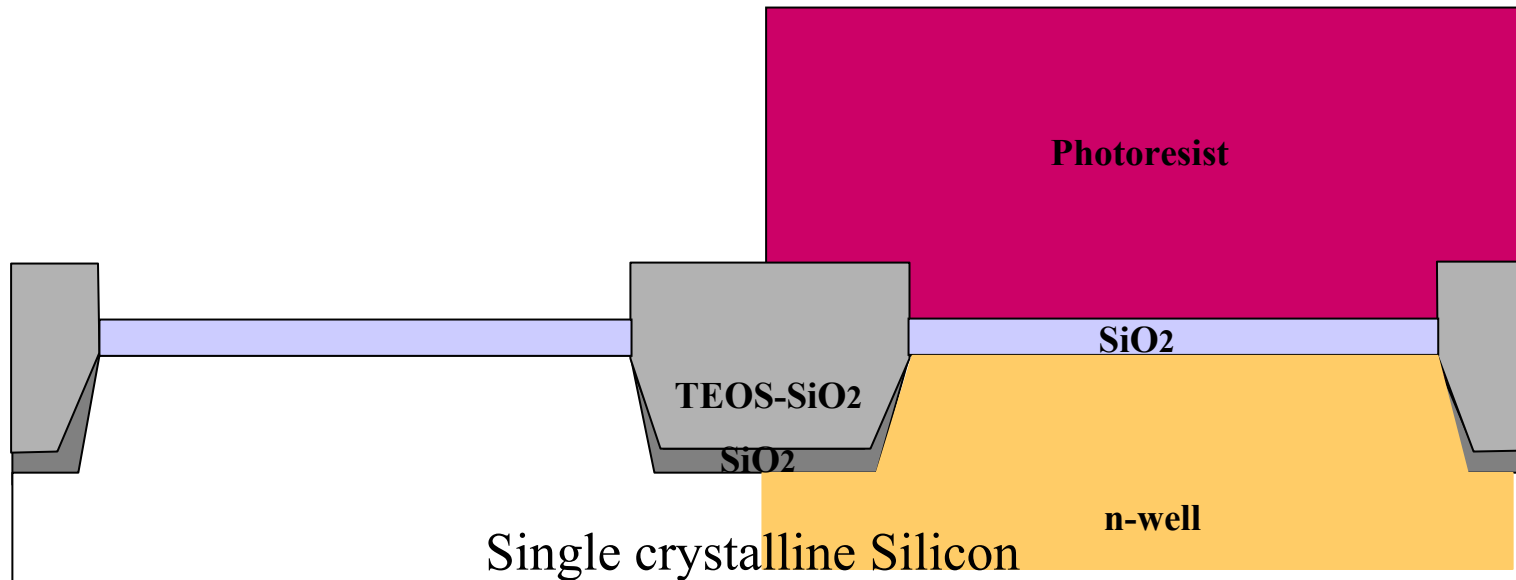
Untuk wet cleaning digunakan juga larutan APM untuk membersihkan partikel.



III. Pembentukan well (tipe n atau p) untuk tiap transistor

14. Photolithography patterning

Sama dengan proses 3.

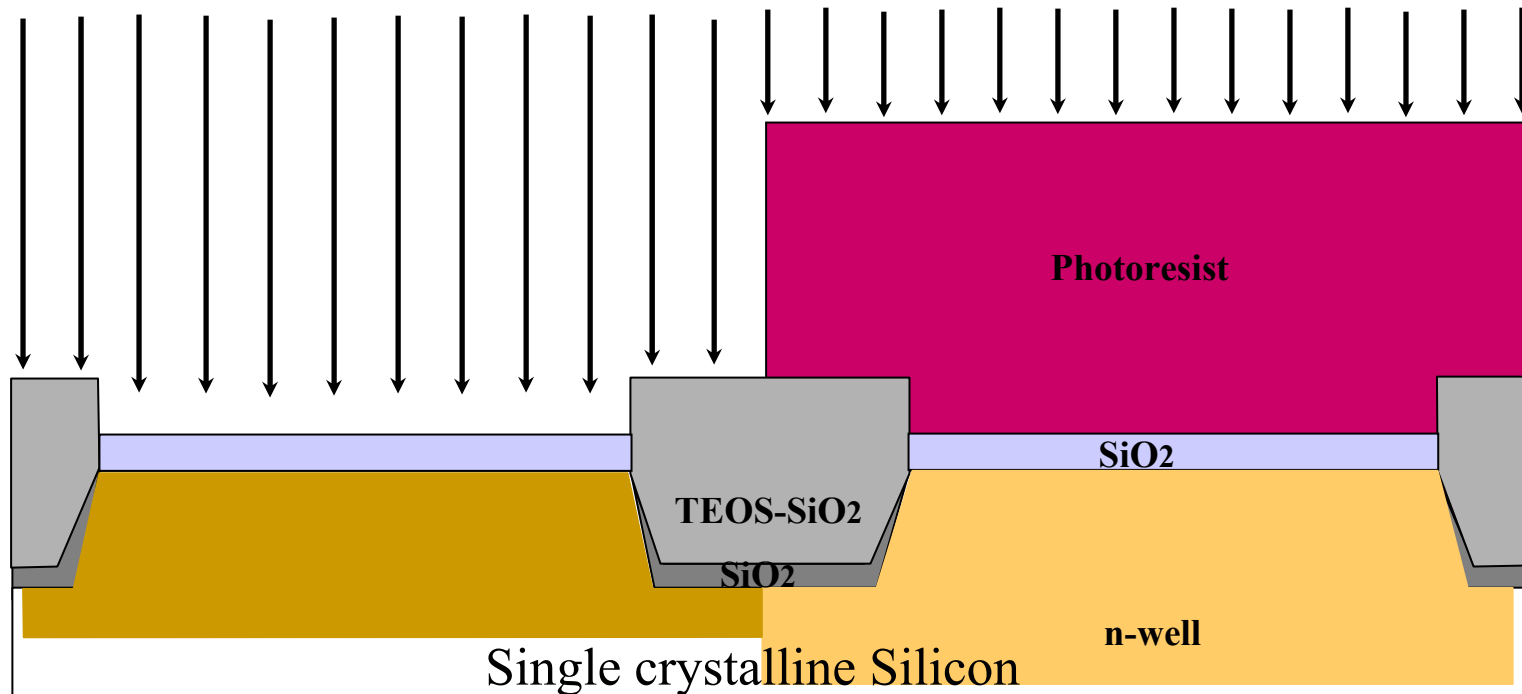


III. Pembentukan well (tipe n atau p) untuk tiap transistor

15. Pembentukan p-well

Sama dengan proses 12.

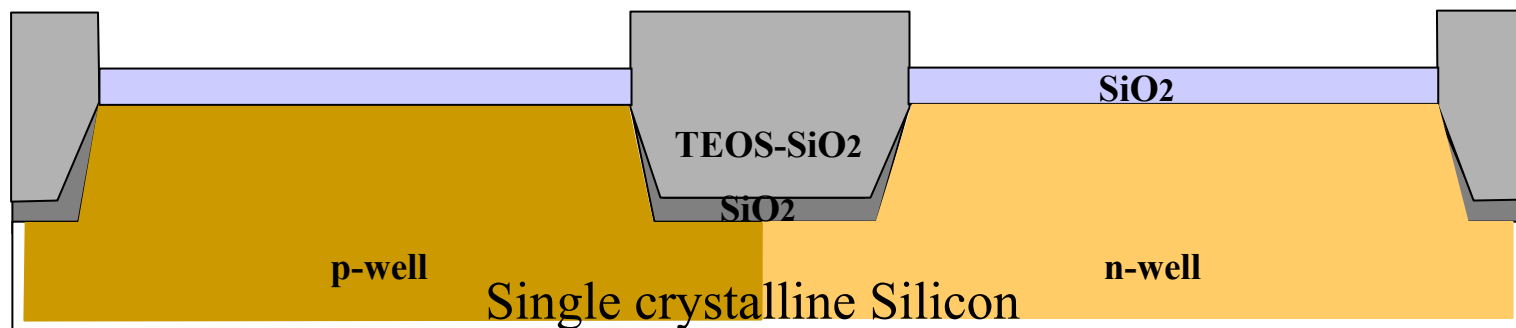
Untuk p-well, ion yang diimplantasi adalah dari grup 3, umumnya B.



III. Pembentukan well (tipe n atau p) untuk tiap transistor

16. Ashing + Wet Cleaning

Sama dengan proses 13.

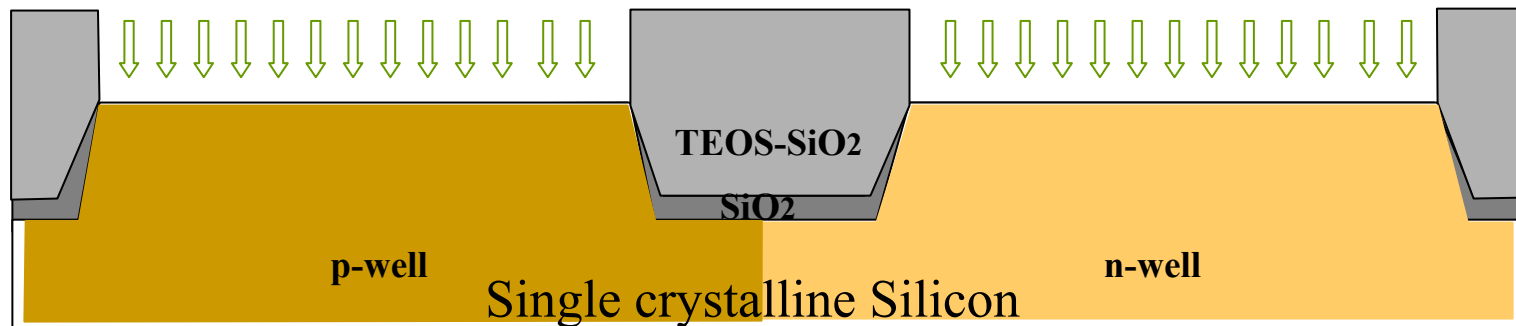


III. Pembentukan well (tipe n atau p) untuk tiap transistor

17. Wet etching untuk menyisahkan SiO₂

Sama dengan proses 9.

Dengan ini, proses pembentukan well selesai.



IV. Pembentukan gate dielectric (insulator)

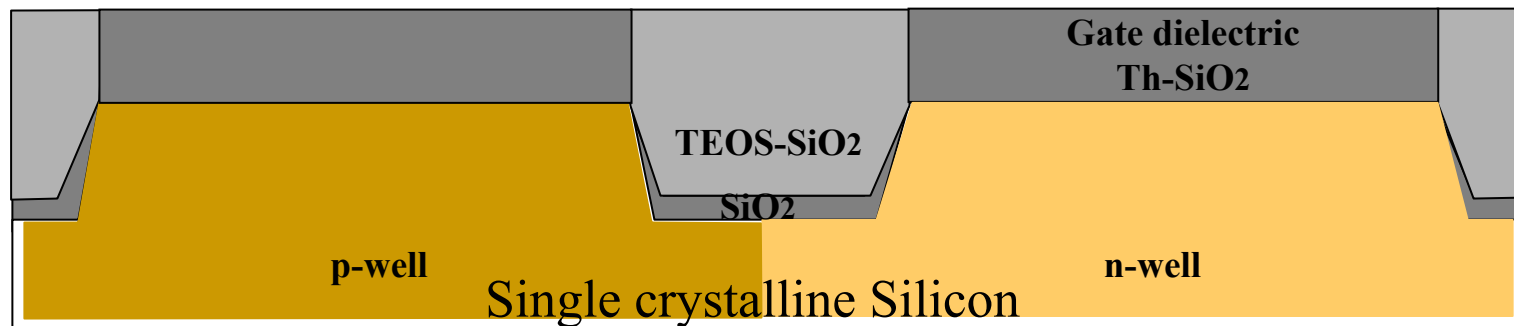
18. Deposisi lapisan Thermal-SiO₂

Sama dengan proses 1.

Ketebalan lapisan Th-Ox sebagai Gate dielectric ditentukan oleh jenis transistor itu sendiri. Untuk transistor yang berfungsi sebagai komponen analog, input-output tegangan voltase misalnya, digunakan lapisan yang tebal.

70 Å untuk baterai 3.3V atau 60 Å untuk baterai 2.5V. Makin kecil tegangan, makin tipis lapisan Th-Ox yang diperlukan.

Untuk core transistor yang berfungsi sebagai switching (digital), digunakan lapisan yang lebih tipis.

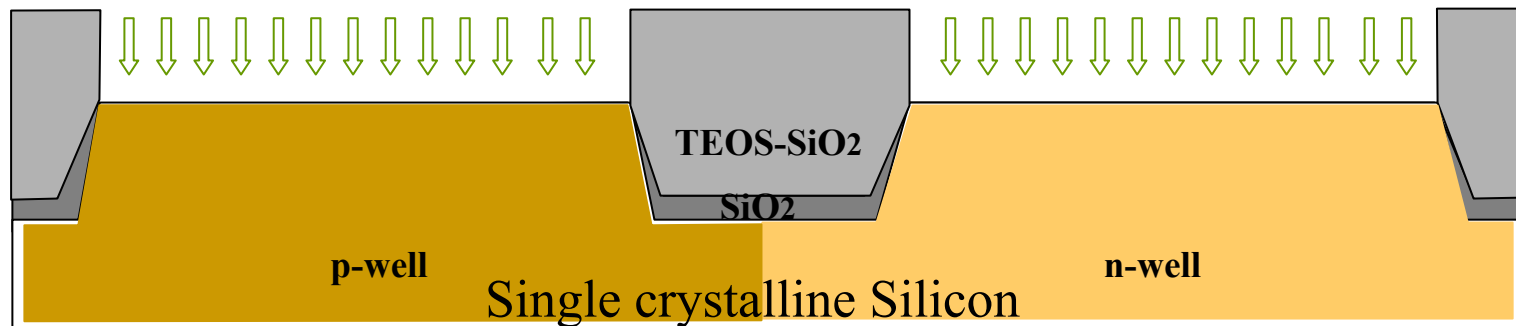


IV. Pembentukan gate dielectric (insulator)

19. Wet etching untuk menyisahkan SiO₂/SiN

Sama dengan proses 9.

Disini proses yang akan ditampilkan adalah untuk rangkaian digital. Maka lapisan Th-Ox yang tebal tidak diperlukan.



IV. Pembentukan gate dielectric (insulator)

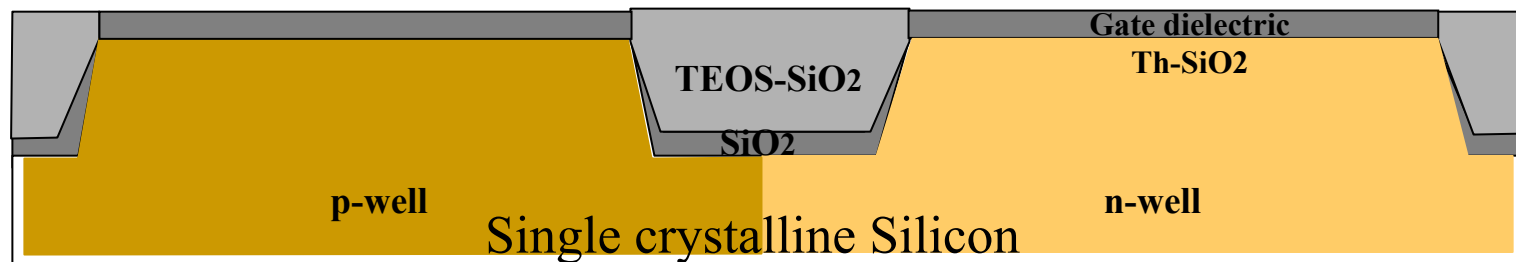
20. Deposisi lapisan tipis Thermal-SiO₂

Sama dengan proses 1.

Saat ini ketebalan lapisan Th-Ox yang diperlukan adalah sekitar 20 Å, sesuai dengan teknologi nod yang dipakai.

Th-Ox dipilih karena keunggulan dalam kestabilan terhadap panas dan kualitas interlayer Si/SiO₂ yang tinggi untuk mobilitas carrier (electron atau hole).

Dengan ini, proses pembentukan gate dielectric selesai.



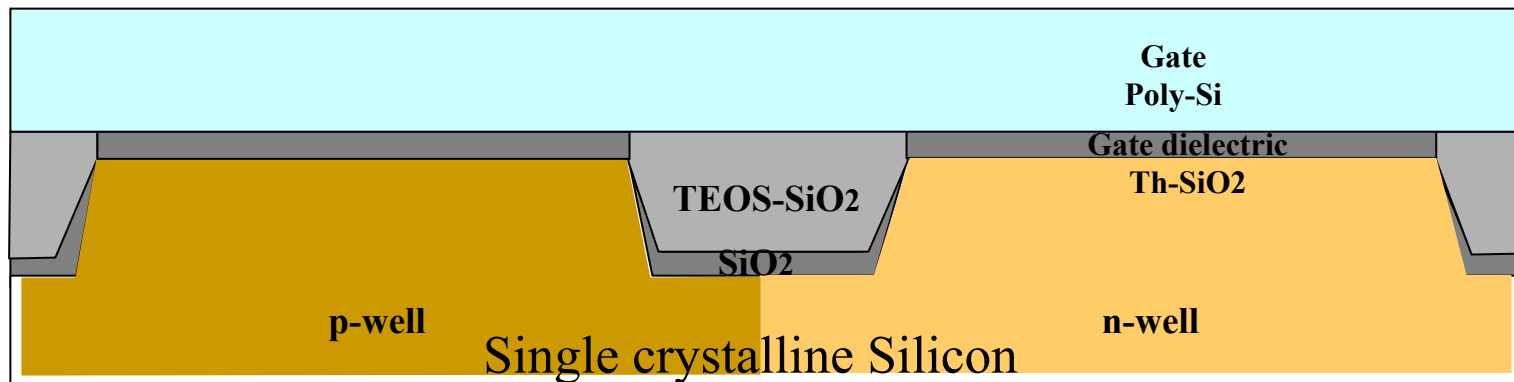
V. Pembentukan gate elektroda

21. Deposisi lapisan Poly crystalline Silicon (Poly-Si)

Sama dengan proses 2, yaitu Chemical Vapor Deposition (CVD).

Tebal lapisan : sekitar 2000 Å.

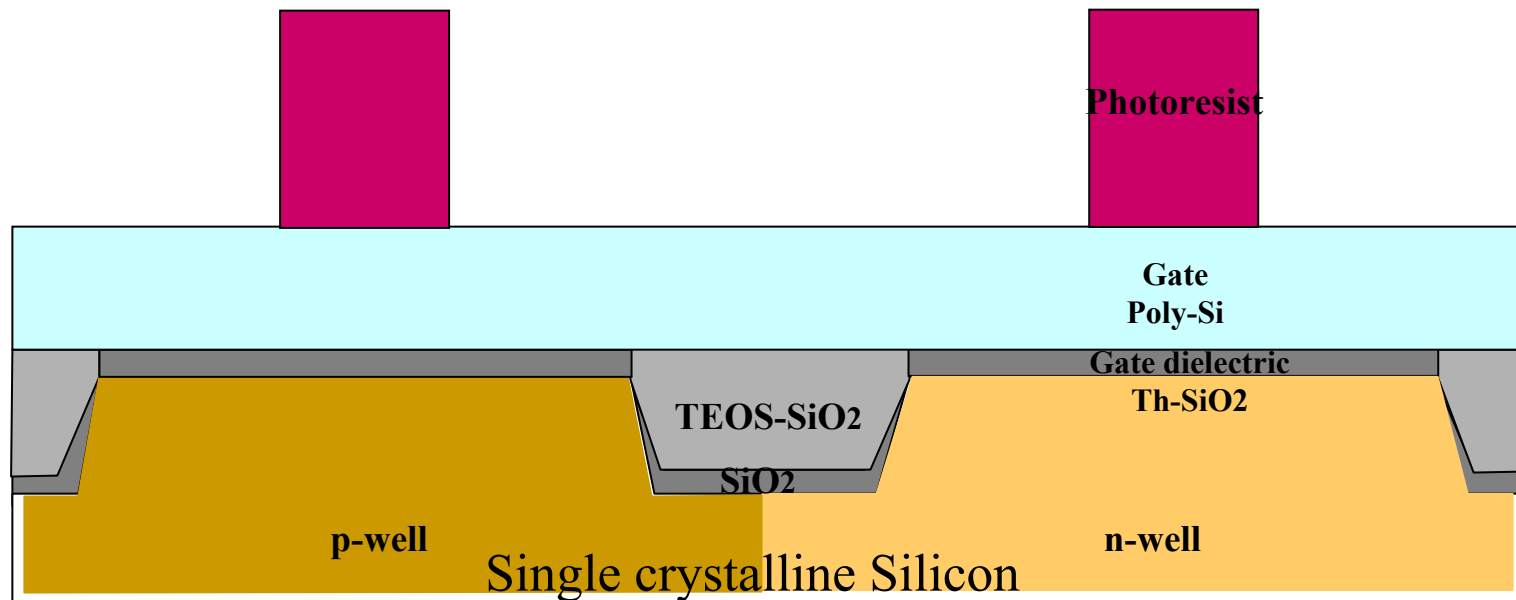
Pada awalnya metal Al digunakan sebagai bahan gate elektroda. Namun untuk memudahkan proses (self aligned untuk S/D) digunakan Poly-Si yang didoping dengan impuritas B, As atau P sehingga hambatan listriknya turun mendekati metal.



V. Pembentukan gate elektroda

22. Photolithography patterning

Sama dengan proses 3.

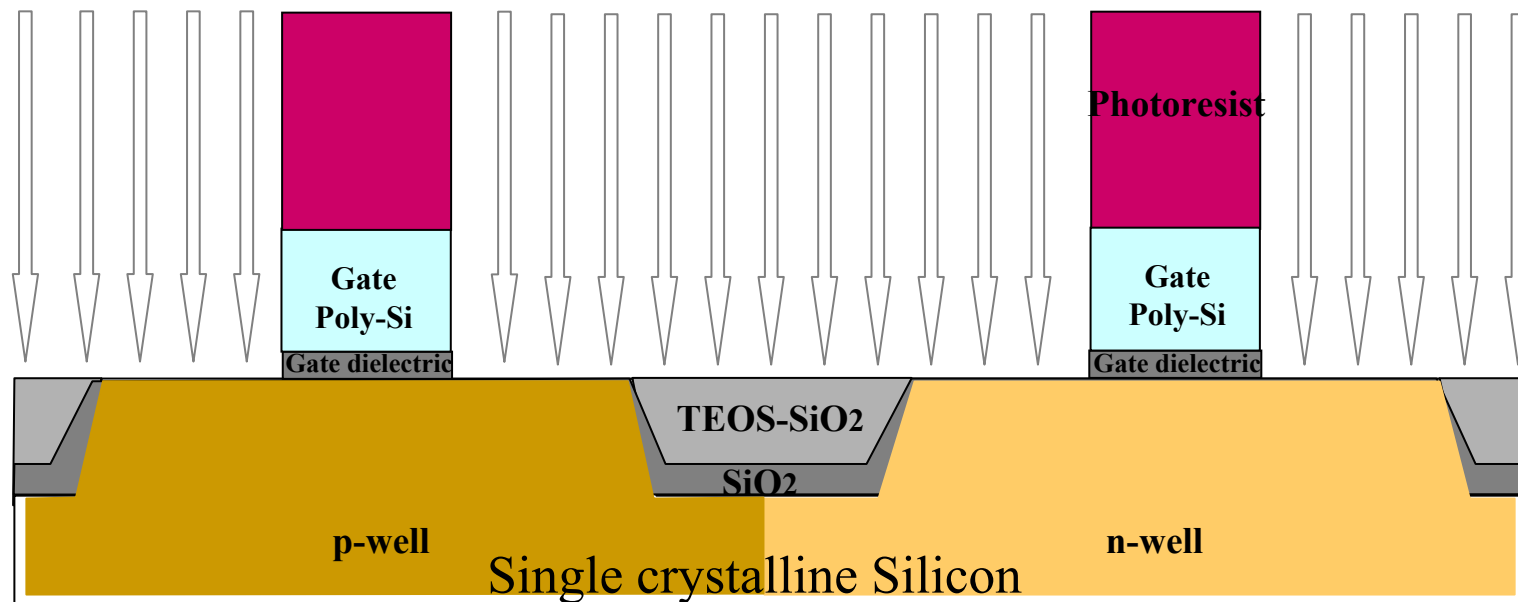


V. Pembentukan gate elektroda

23. Etching(Reactive Ion Etching)

Sama dengan proses 4.

Etching dilakukan sampai lapisan Th-Ox.

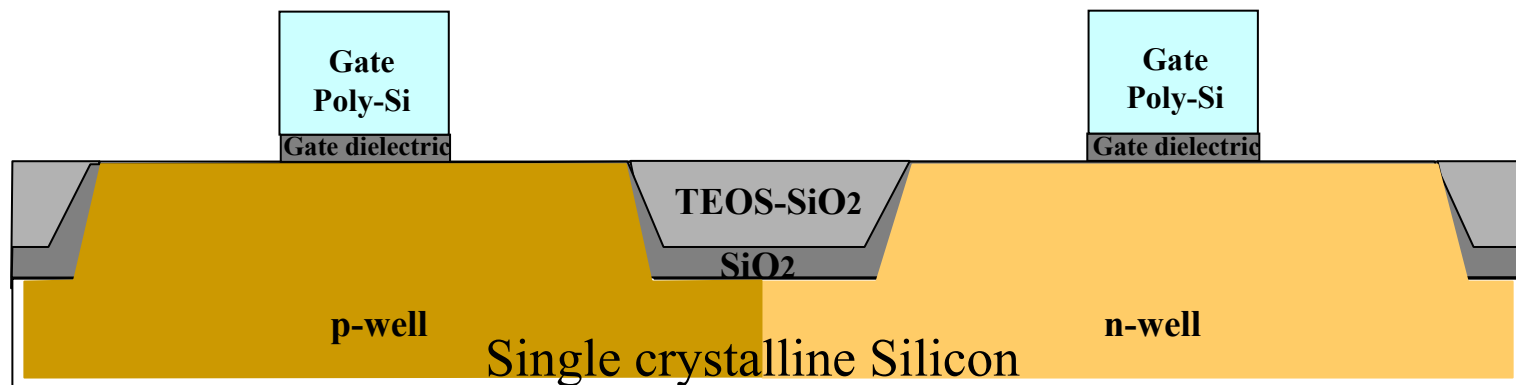


V. Pembentukan gate elektroda

24. Ashing + Wet Cleaning

Sama dengan proses 13.

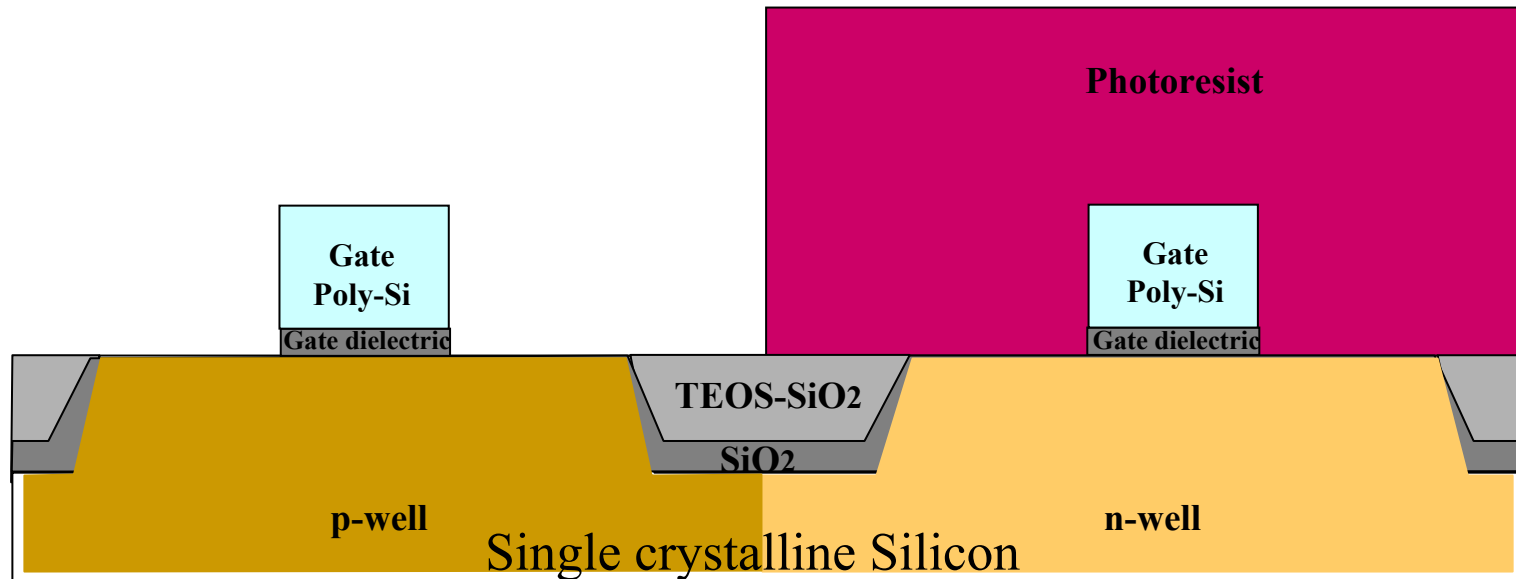
Dengan ini, proses pembentukan gate elektroda selesai.



VI. Pembentukan Source dan Drain (S/D)

25. Photolithography patterning

Sama dengan proses 3.

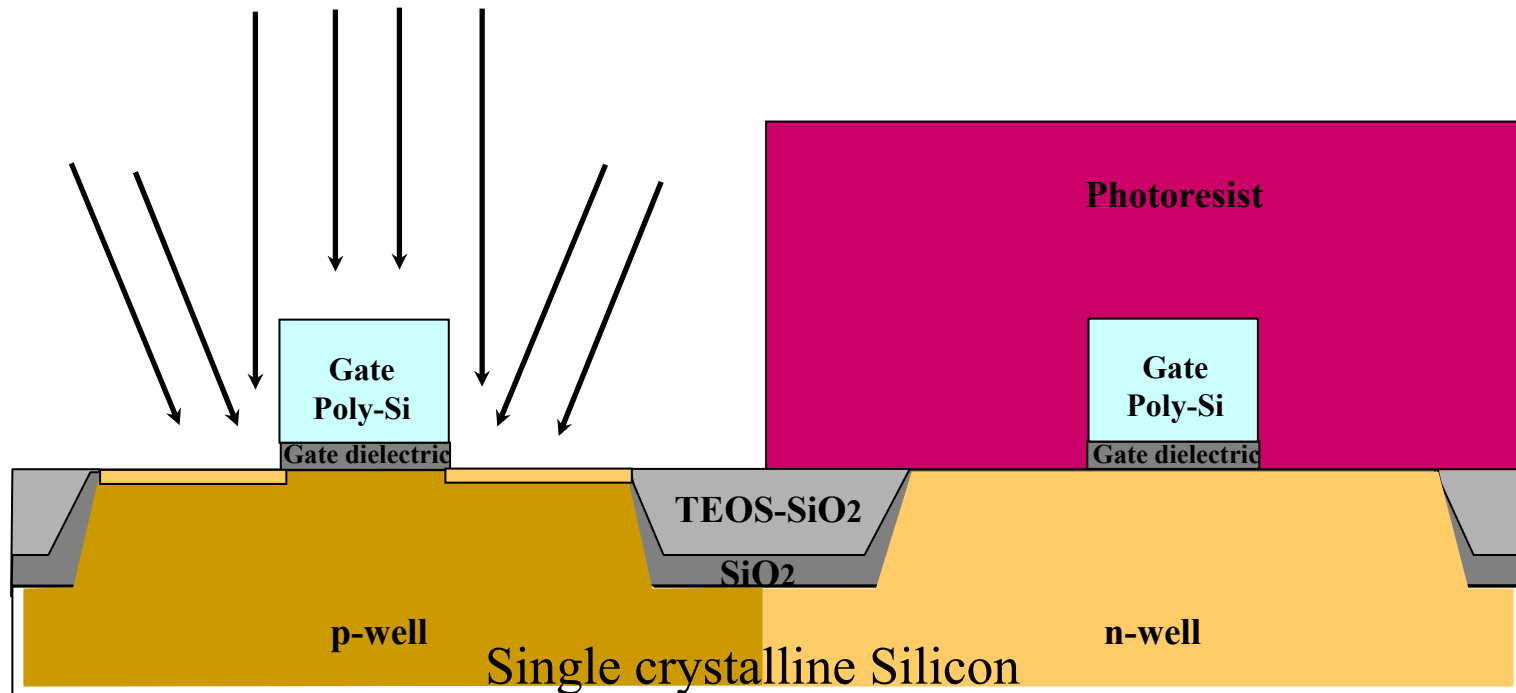


VI. Pembentukan Source dan Drain(S/D)

26. Pembentukan S/D Extension tipe n untuk NMOS.

Sama dengan proses 3, yaitu ion implantasi.

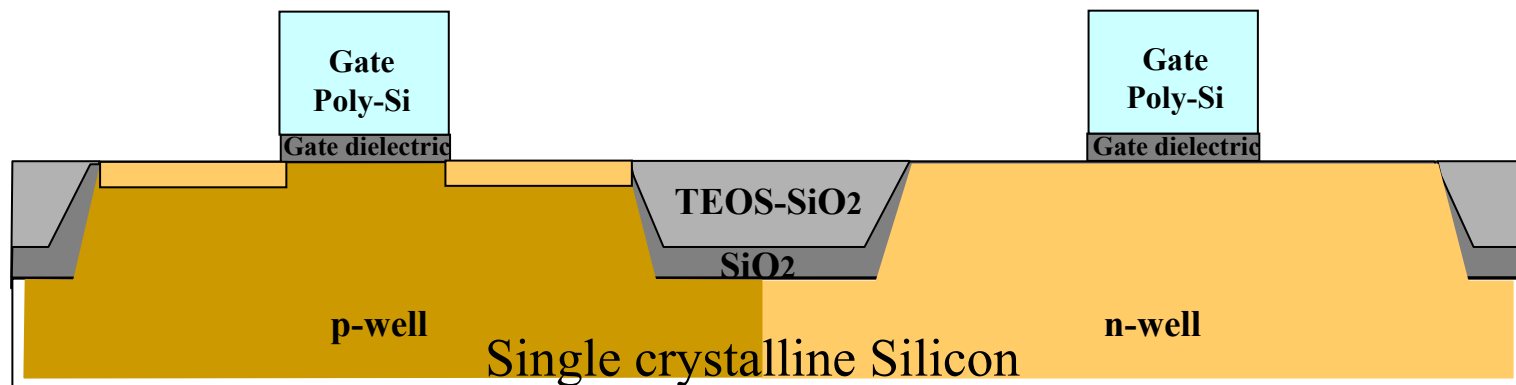
Ion dose sekitar $10^{12}/\text{cm}^2$ (dose rendah)



VI. Pembentukan Source dan Drain (S/D)

27. Ashing + Wet Cleaning

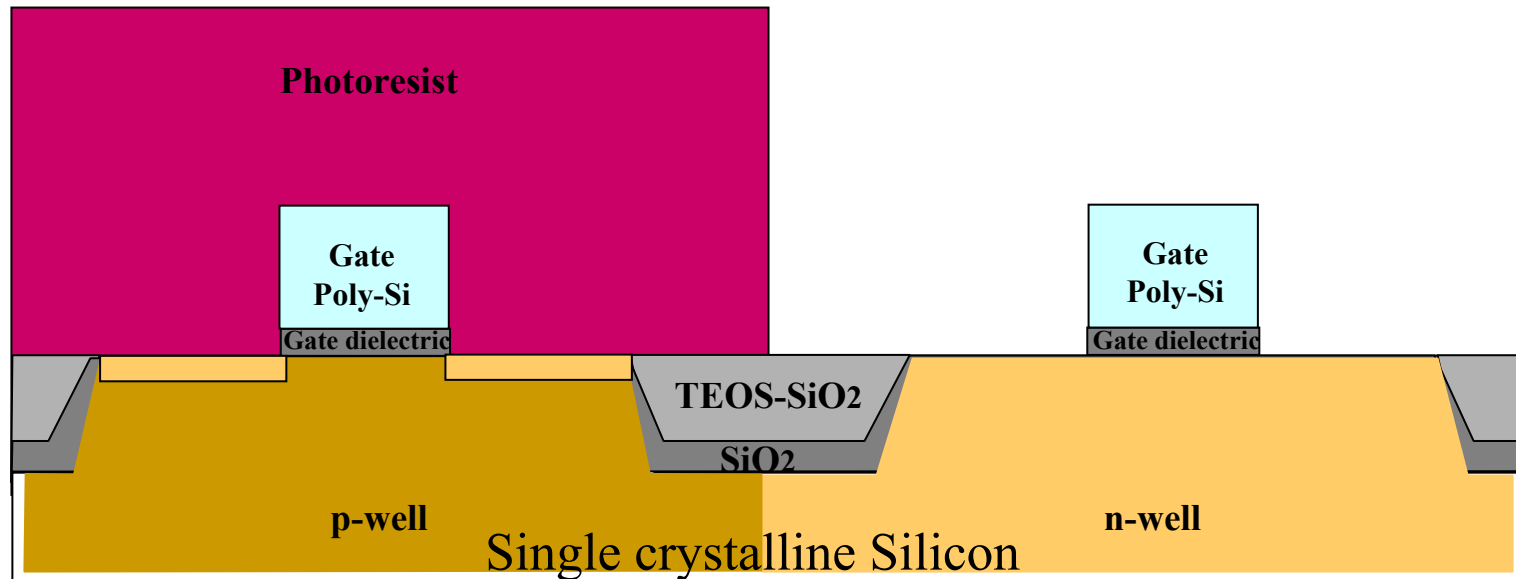
Sama dengan proses 13.



VI. Pembentukan Source dan Drain (S/D)

28. Photolithography patterning

Sama dengan proses 3.

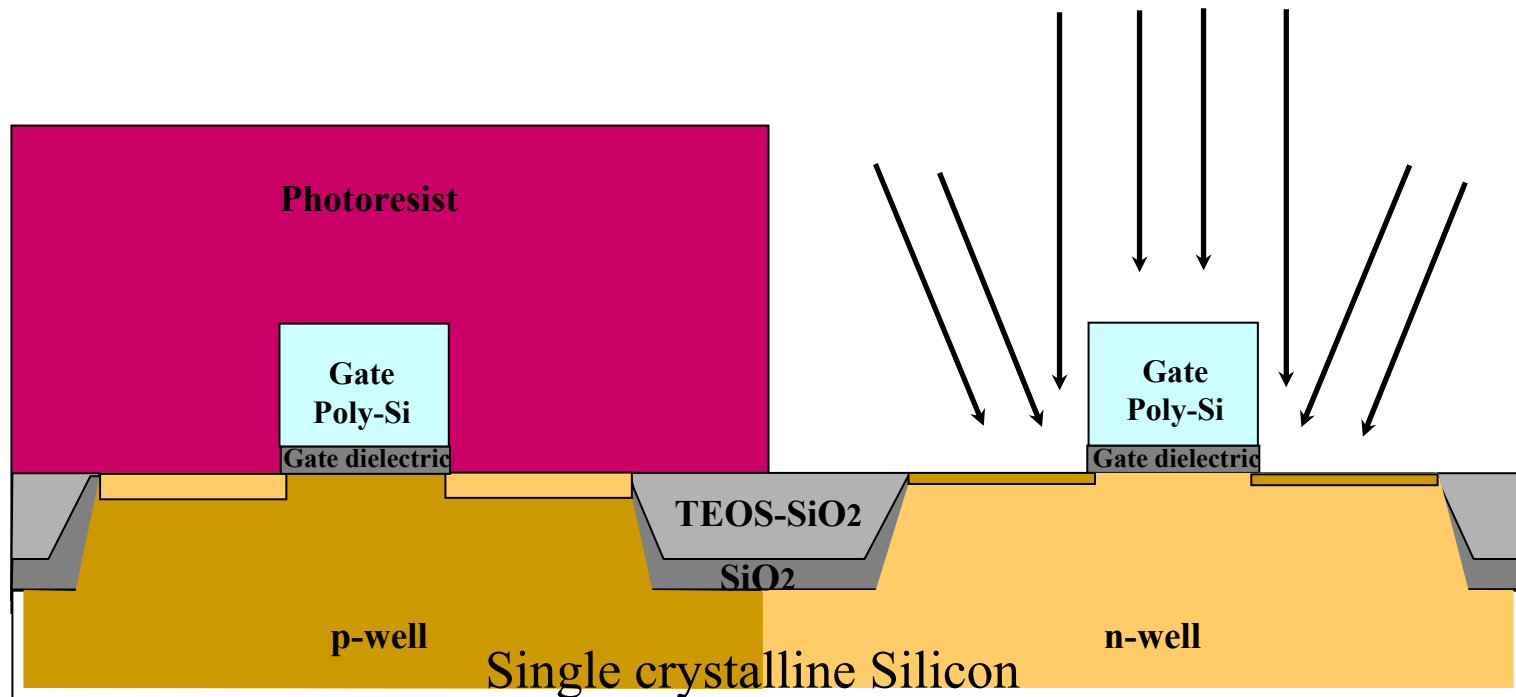


VI. Pembentukan Source dan Drain(S/D)

29. Pembentukan S/D Extension tipe p untuk PMOS.

Sama dengan proses 3, yaitu ion implantasi.

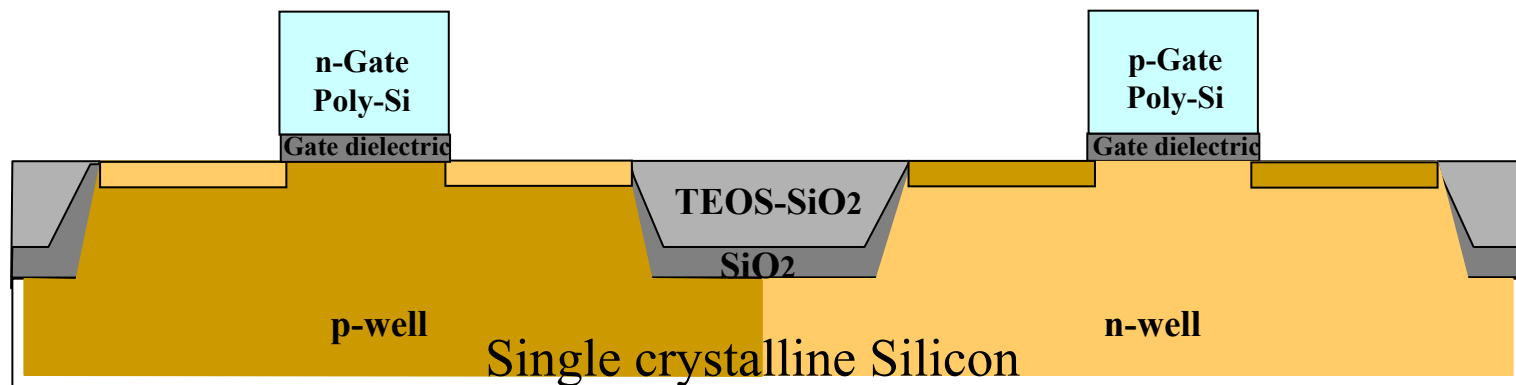
Ion dose sekitar $10^{12}/\text{cm}^2$ (dose rendah)



VI. Pembentukan Source dan Drain (S/D)

30. Ashing + Wet Cleaning

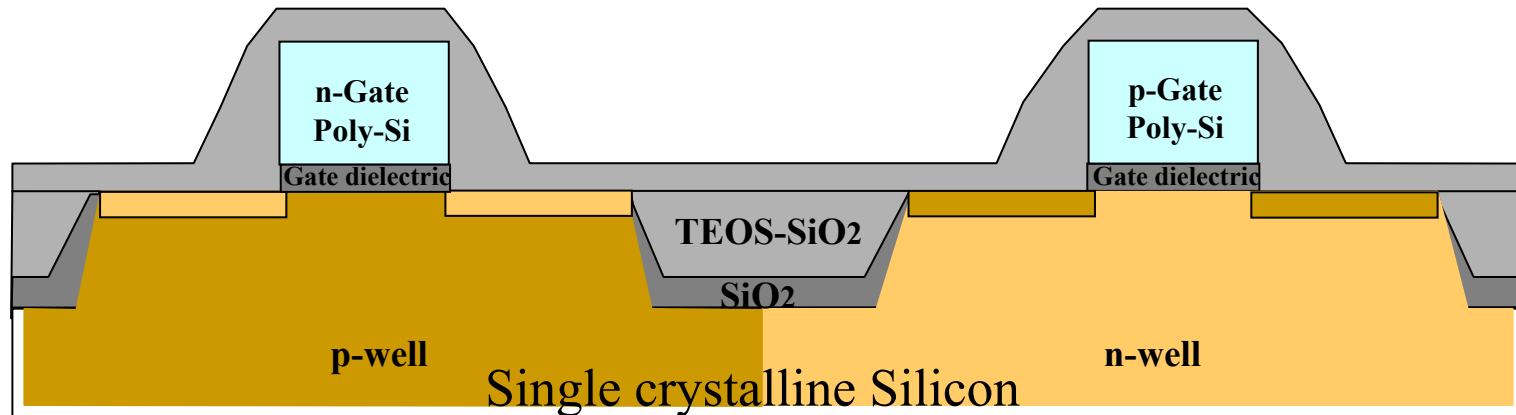
Sama dengan proses 13.



VI. Pembentukan Source dan Drain (S/D)

31. Deposisi lapisan SiO_2 sebagai spacer bagi gate

Sama dengan proses 2 (untuk Th-Ox) atau proses 7 untuk TEOS-Ox.

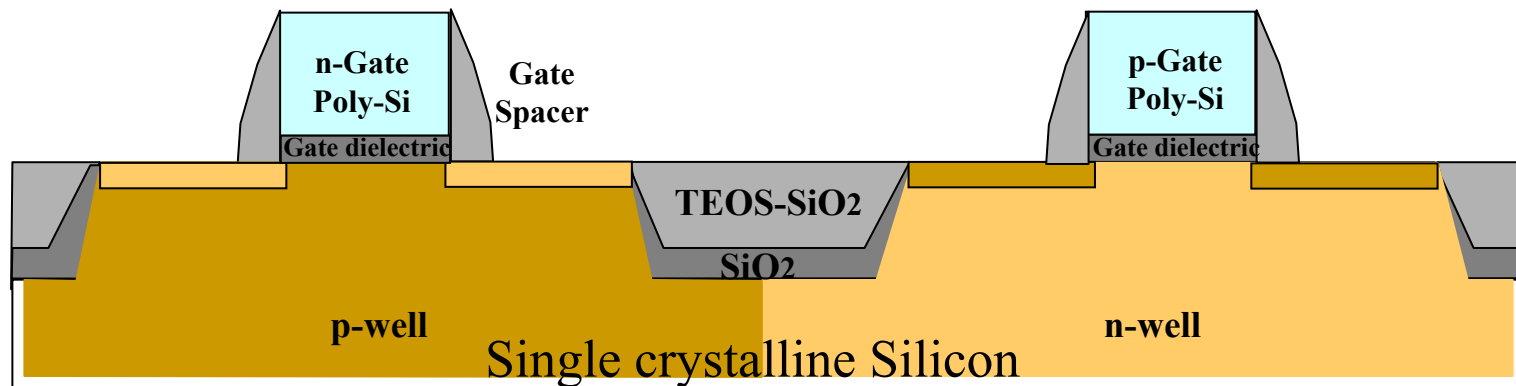


VI. Pembentukan Source dan Drain(S/D)

32. Etch back dengan Reactive Ion Etching

Sama dengan proses 4.

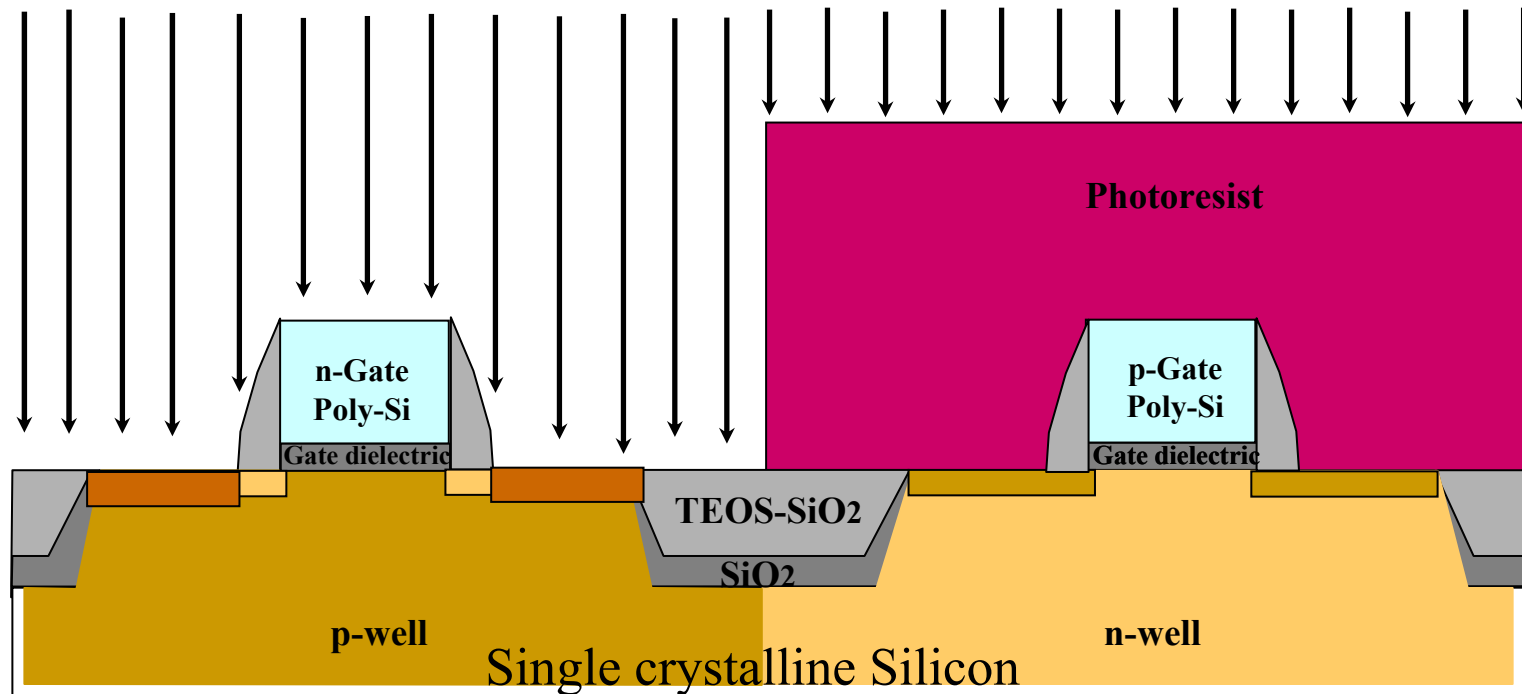
Lapisan SiO₂ yang tersisa membentuk pelindung untuk gate dielectric dan elektroda.



VI. Pembentukan Source dan Drain(S/D)

33. Pembentukan S/D tipe n untuk NMOS.

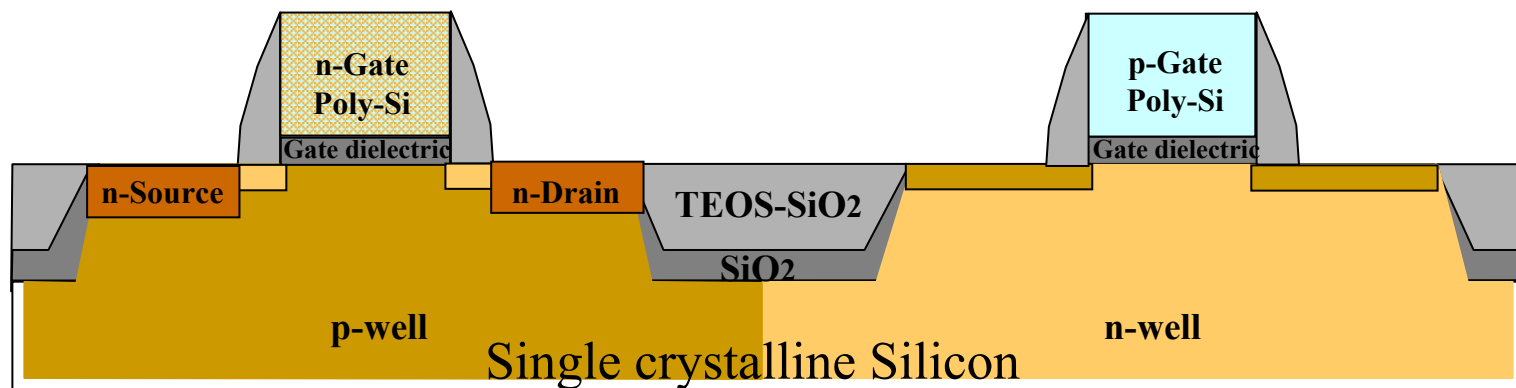
Setelah lithography, sama dengan proses 3, yaitu ion implantasi.
Ion dose sekitar $10^{14}/\text{cm}^2$, lebih tinggi dibanding S/D extension.



VI. Pembentukan Source dan Drain(S/D)

34. Ashing + Wet Cleaning

Sama dengan proses 13.

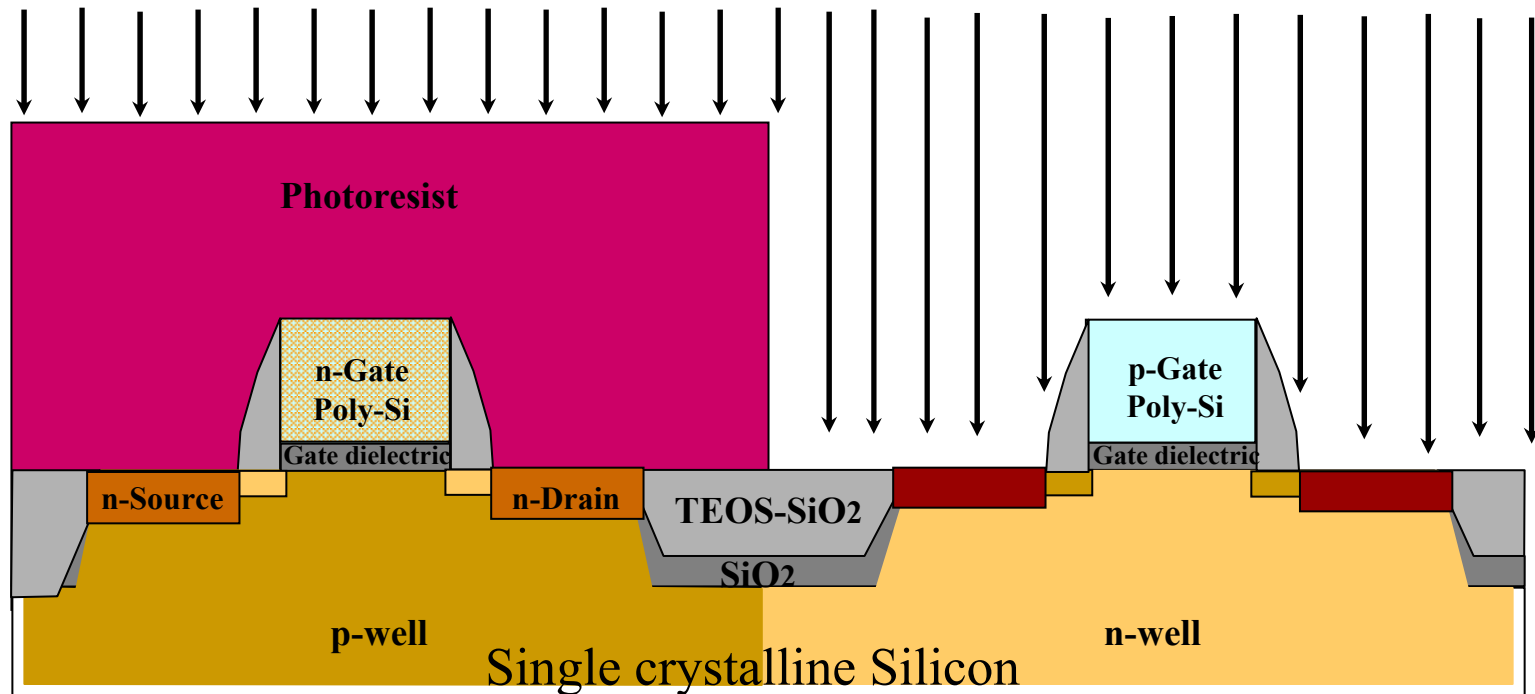


VI. Pembentukan Source dan Drain(S/D)

35. Pembentukan S/D Extension tipe n untuk NMOS.

Setelah lithography, sama dengan proses 3, yaitu ion implantasi.

Ion dose sekitar $10^{14}/\text{cm}^2$, lebih tinggi dibanding S/D extension.

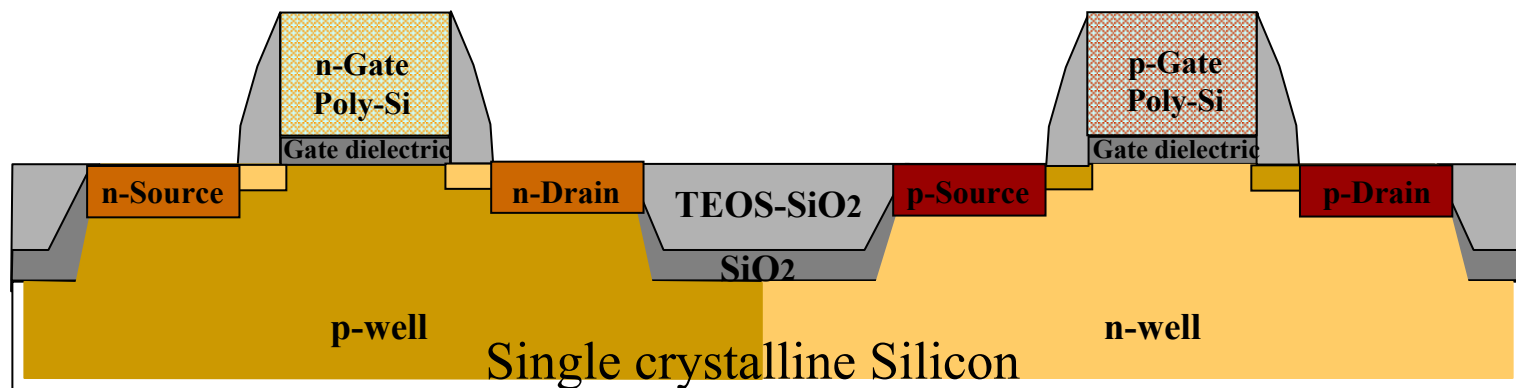


VI. Pembentukan Source dan Drain(S/D)

36. Ashing + Wet Cleaning

Sama dengan proses 13.

Dengan ini, proses pembentukan S/D selesai.

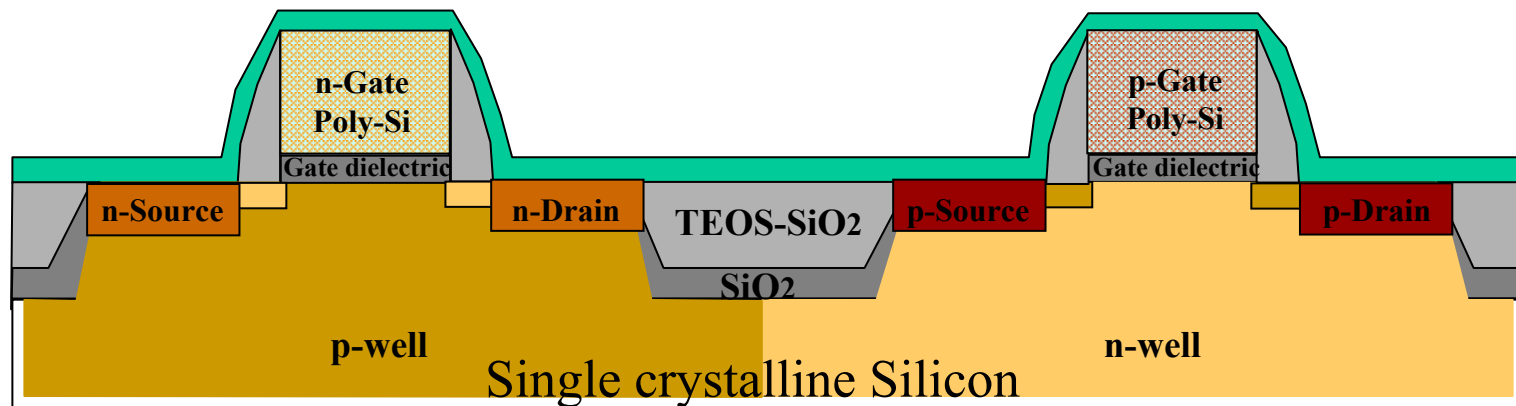


VII. Pembentukan lapisan metal silicide

37. Deposisi lapisan Metal(Cobalt)

Proses : Physical Vapor Deposition(PVD).

Peralatan : PVD chamber, berupa Sputtering atau Vacuum Evaporation Tool.



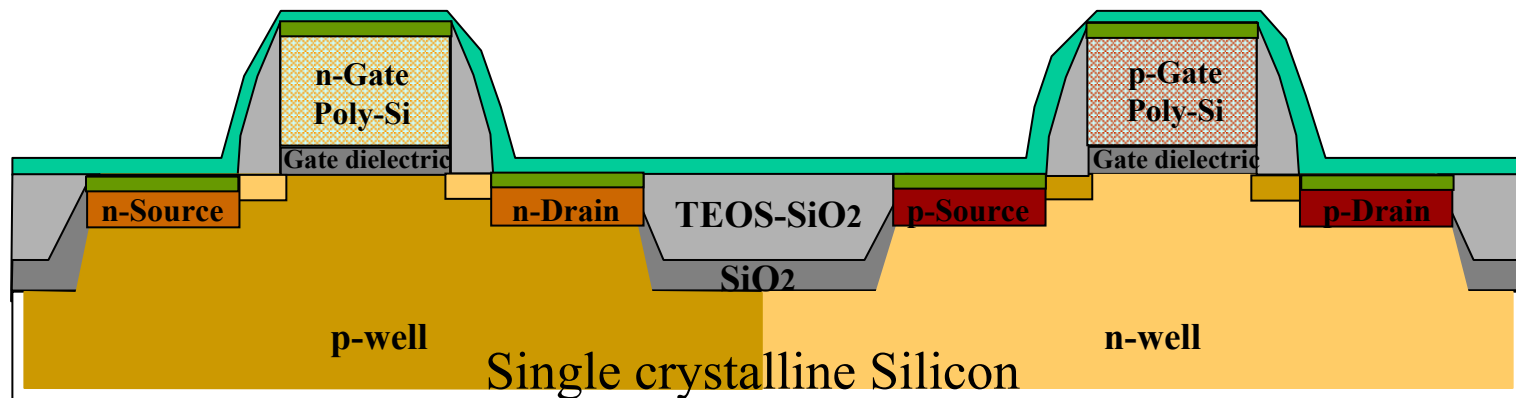
VII. Pembentukan lapisan metal silicide

38. Annealing/pemanasan

Proses : Annealing(PVD).

Peralatan : Furnace Annealing atau Rapid Thermal Process.

Dengan pemanasan ini terjadi reaksi antara Silikon dengan Cobalt membentuk Cobalt Silicide(CoSi_2). Reaksi hanya terjadi di permukaan Silikon, yaitu S/D dan gate elektroda. Dengan adanya silicide ini, hambatan kontak(contact resistivity) dapat diturunkan.

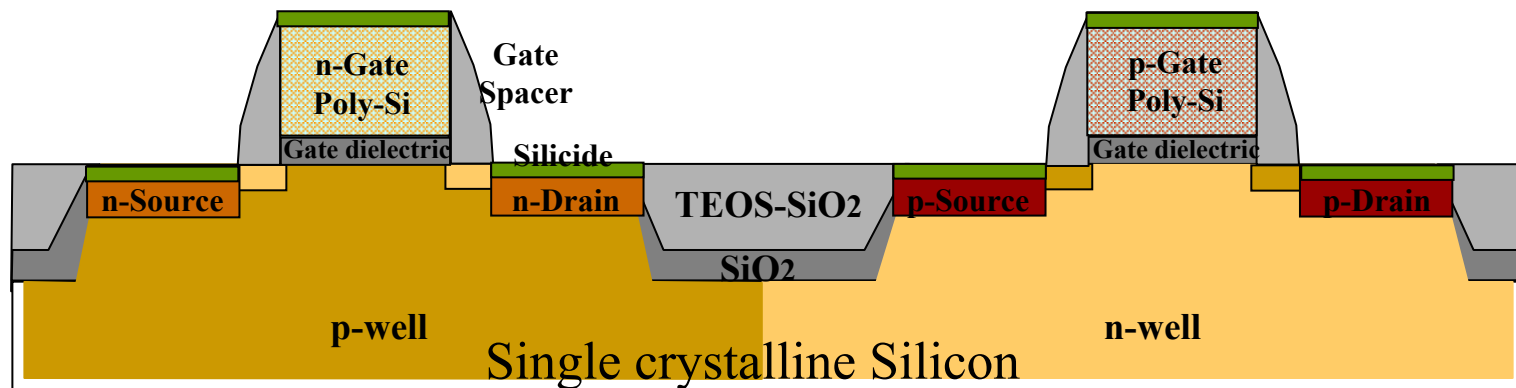


VII. Pembentukan lapisan metal silicide

39. Wet etching untuk menyisahkan sisa metal

Sama dengan proses 9.

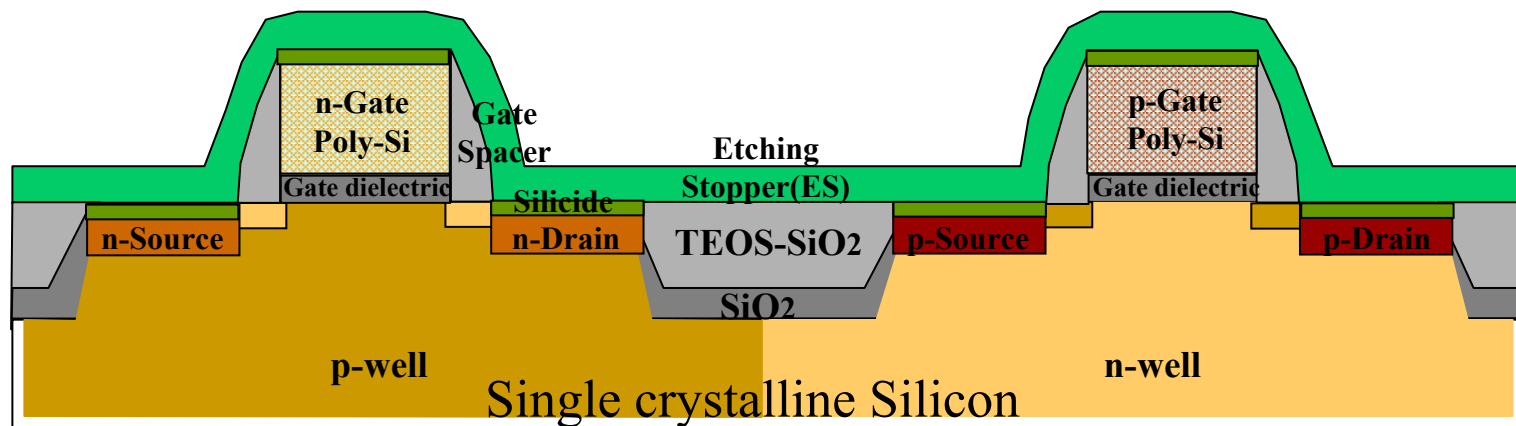
Wet etching dilakukan secara selektif antara Cobalt dengan Cobalt Silicide. Dengan ini proses pembentukan lapisan metal silicide selesai.



VIII. Pembentukan pre-metal dielectric

40. Deposisi lapisan SiN sebagai Etching Stopper(ES)

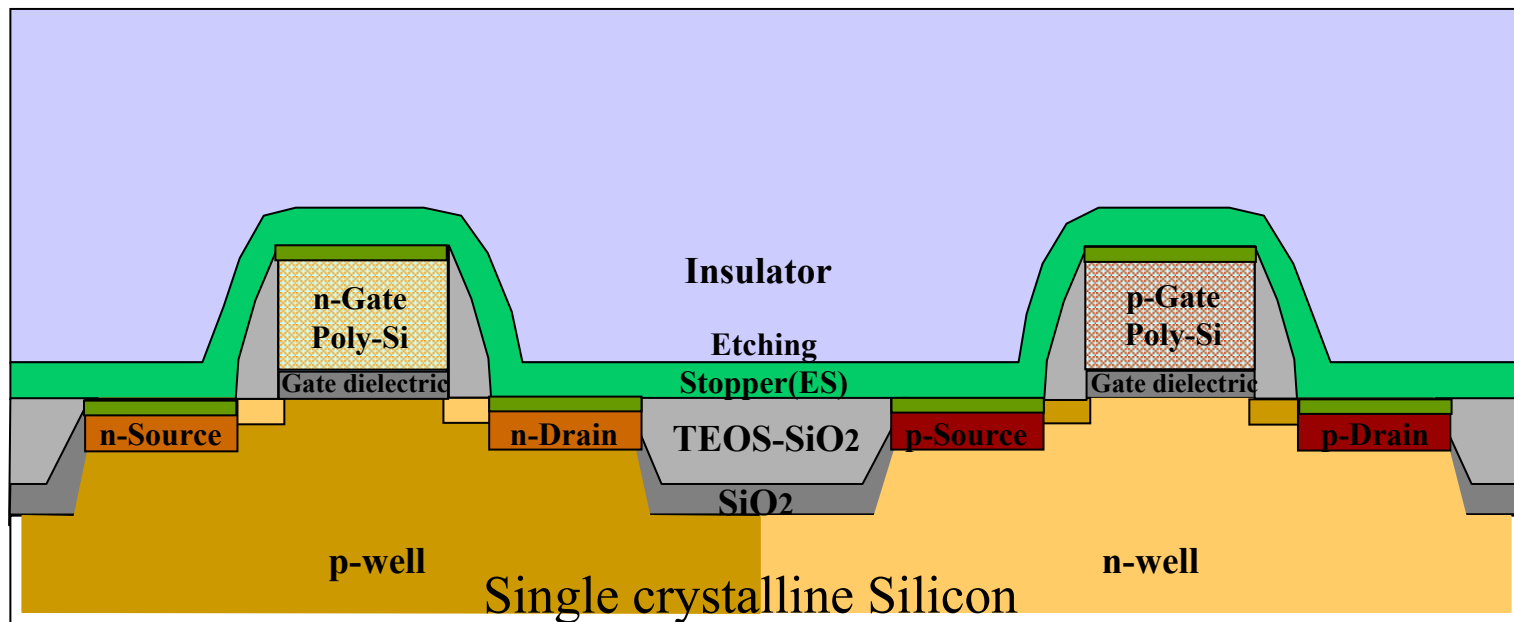
Sama dengan proses 2, yaitu CVD.



VIII. Pembentukan pre-metal dielectric

41. Deposisi lapisan TEOS-SiO₂

Sama dengan proses 2, yaitu CVD.

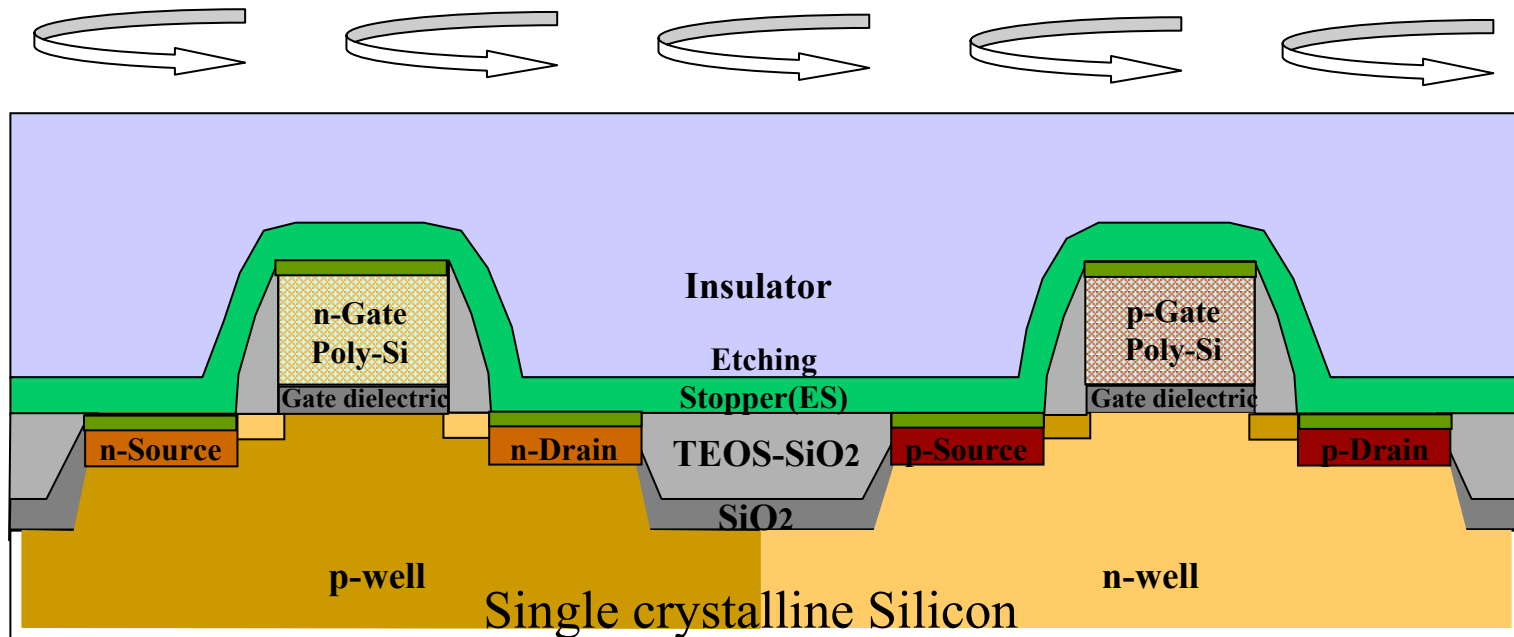


VIII. Perataan permukaan(planarization)

42. Perataan lapisan TEOS-SiO₂

Sama dengan proses 8, yaitu CMP.

Dengan ini, Front End of Line selesai.



BEOL

Dalam pembuatan wiring/metalisasi, proses inti adalah:

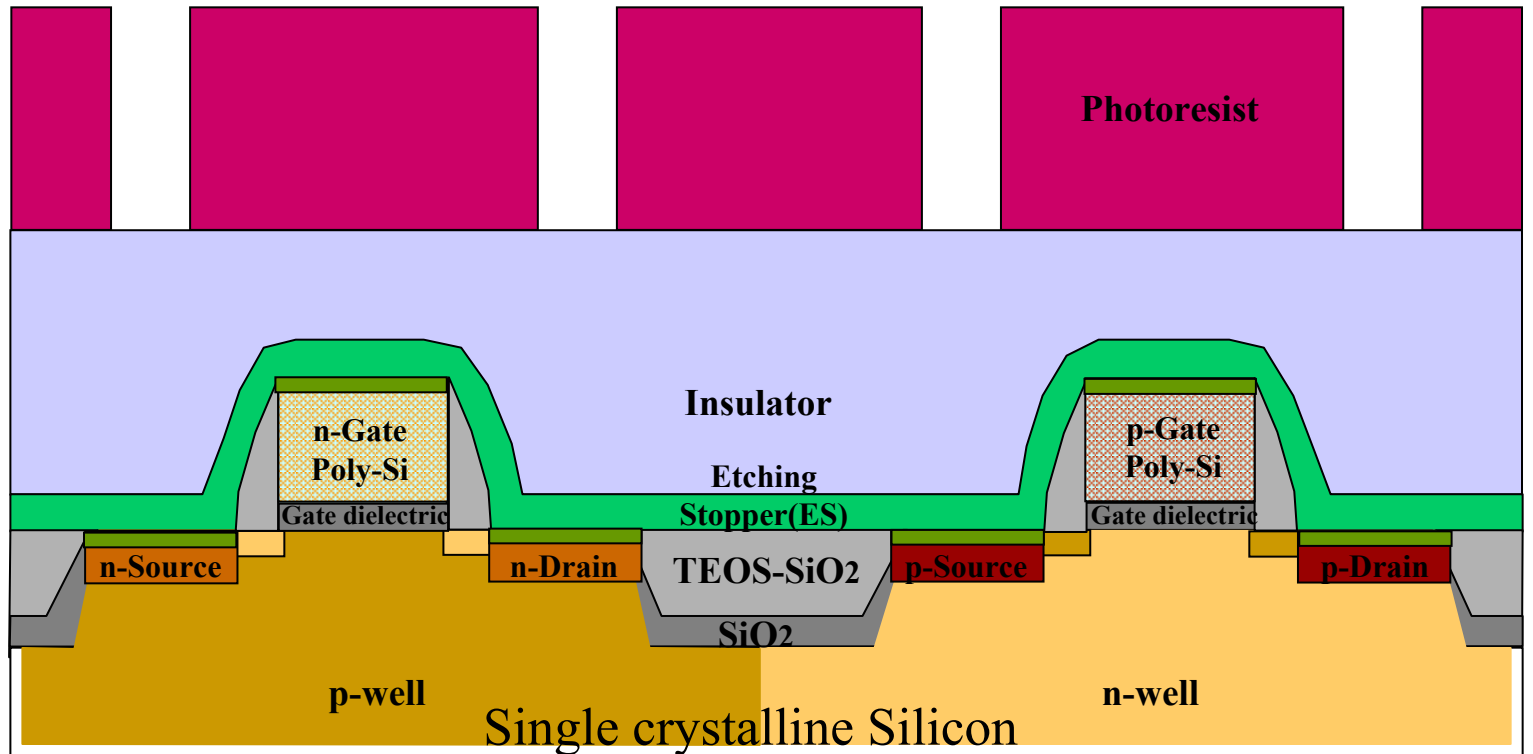
1. Pembentukan Contact hole atau Metal0(M0)
2. Pembentukan lapisan metal line
3. Pembentukan insulator(dielectric) antar metal
4. Perataan permukaan(planarization)
5. Pembentukan Via hole antar lapisan metal
6. Pengulangan proses 2~5 membentuk M1~Mx dan V1~Vx-1
7. Pembentukan lapisan pelindung(passivation)

Pada prinsipnya, proses pada BEOL tidak berbeda dengan FEOL. Tapi karena spesifikasi dan material yang berbeda, secara total peralatan untuk BEOL dipisah dengan peralatan untuk FEOL.

I. Pembentukan Contact hole

43. Photolithography patterning

Sama dengan proses 3.

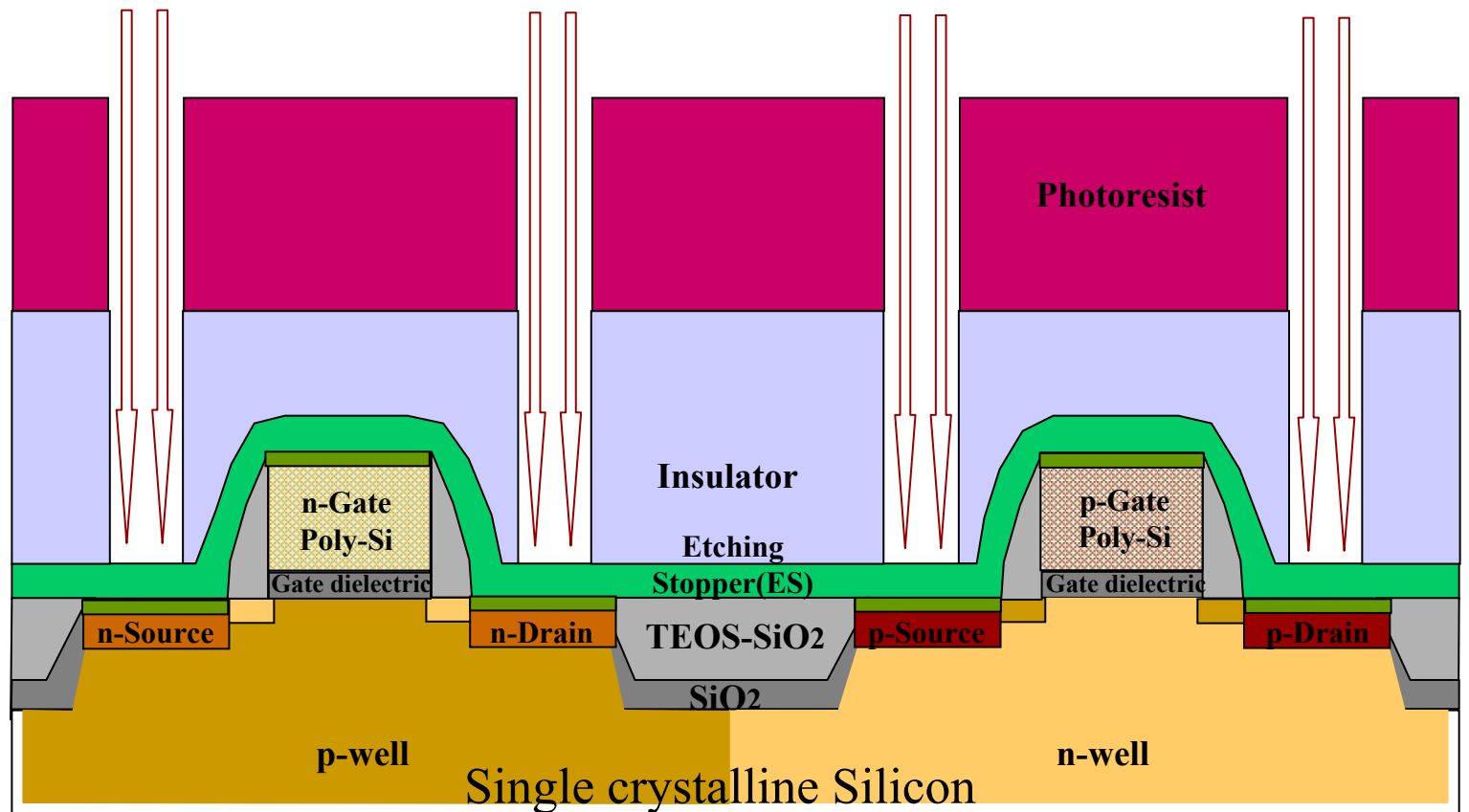


I. Pembentukan Contact hole

44. Etching(Reactive Ion Etching)

Sama dengan proses 4.

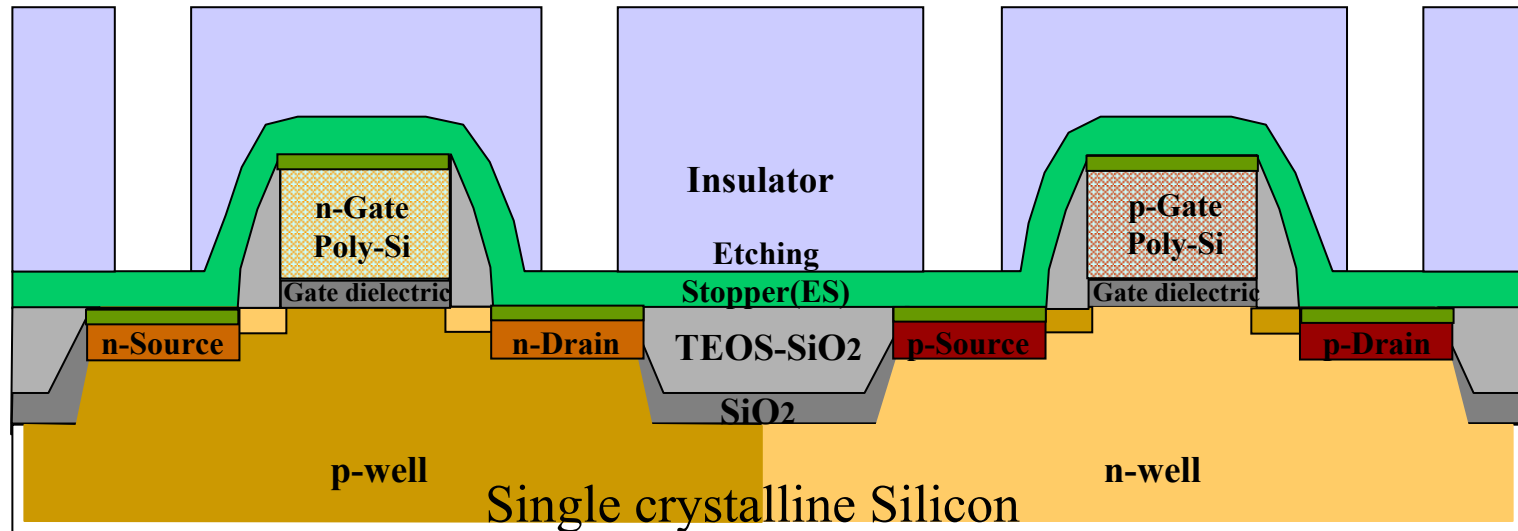
Etching berhenti secara otomatis karena adanya lapisan Etching Stopper(ES).



I. Pembentukan Contact hole

45. Ashing + Wet Cleaning

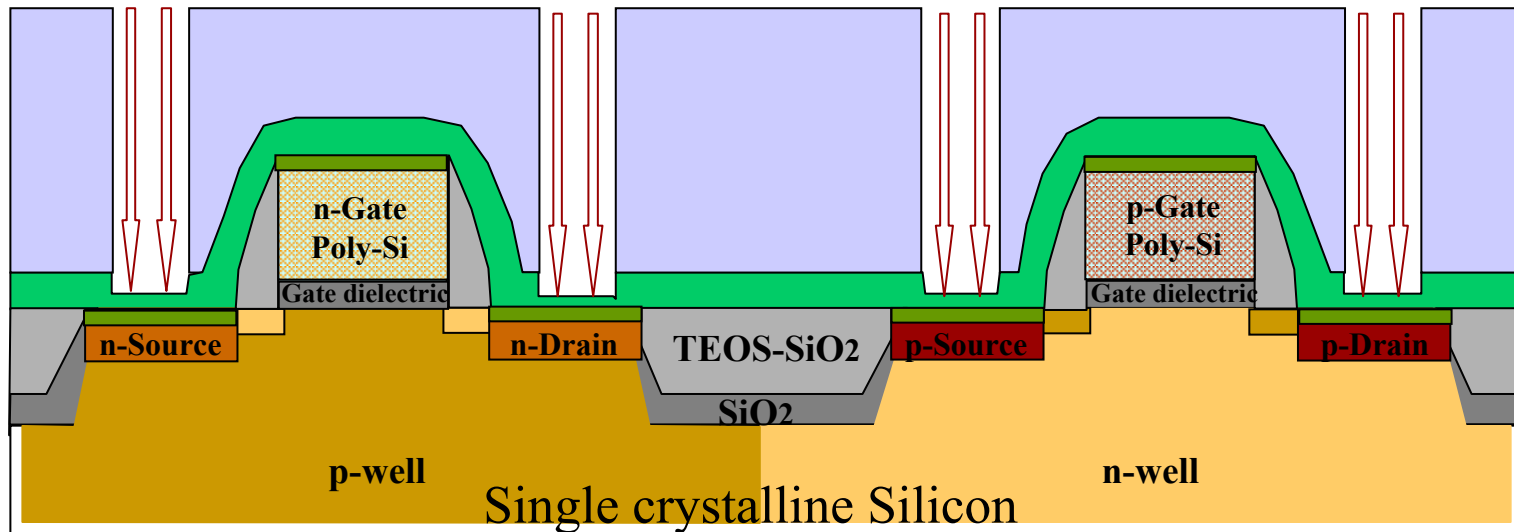
Sama dengan proses 13.



I. Pembentukan Contact hole

46. Etching(Reactive Ion Etching)

Sama dengan proses 4, untuk menghubungkan metal dengan S/D. Lapisan ES dietching dengan gas yang berbeda dengan proses 44.

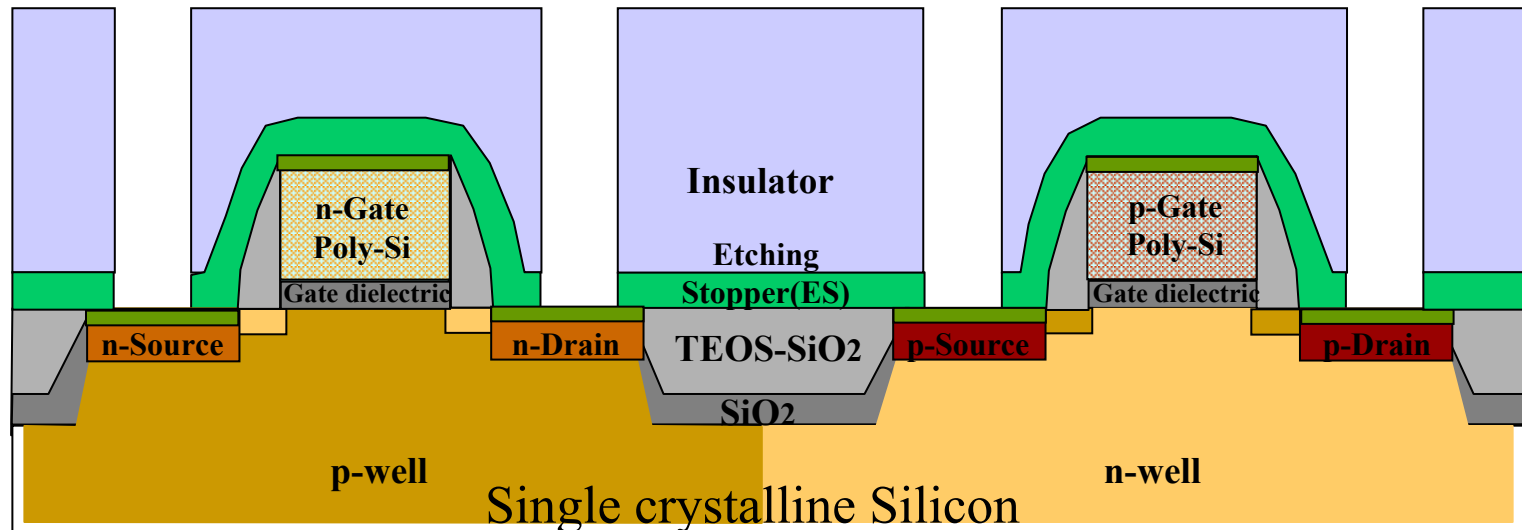


I. Pembentukan Contact hole

47. Wet Cleaning

Sama dengan proses 13. Tanpa Ashing karena photoresist telah dipisahkan pada proses sebelumnya.

Disini spesifikasi yang dituntut untuk larutan kimia yang dipakai adalah tidak merusak lapisan silicide, misalnya korosi, dll.

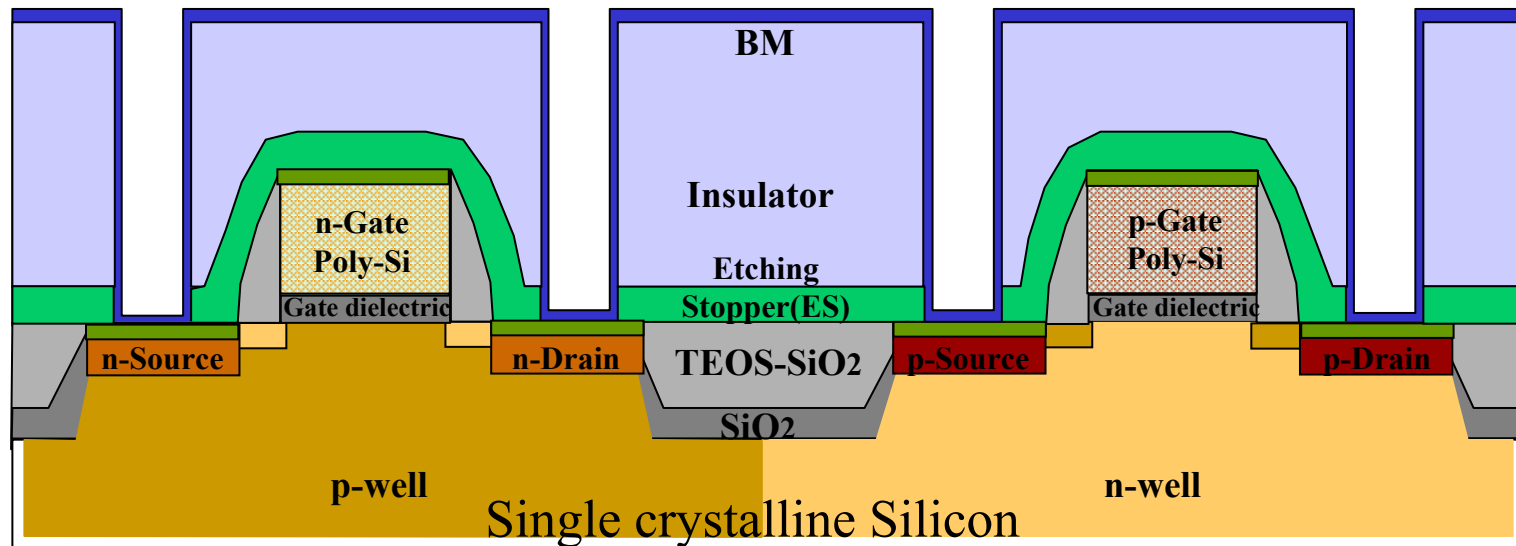


I. Pembentukan Contact hole

48. Deposisi lapisan Barrier Metal(contoh:TaN)

Sama dengan proses 37, yaitu PVD, utamanya Sputtering.

Tujuannya adalah untuk mencegah difusi metal ke dalam transistor.



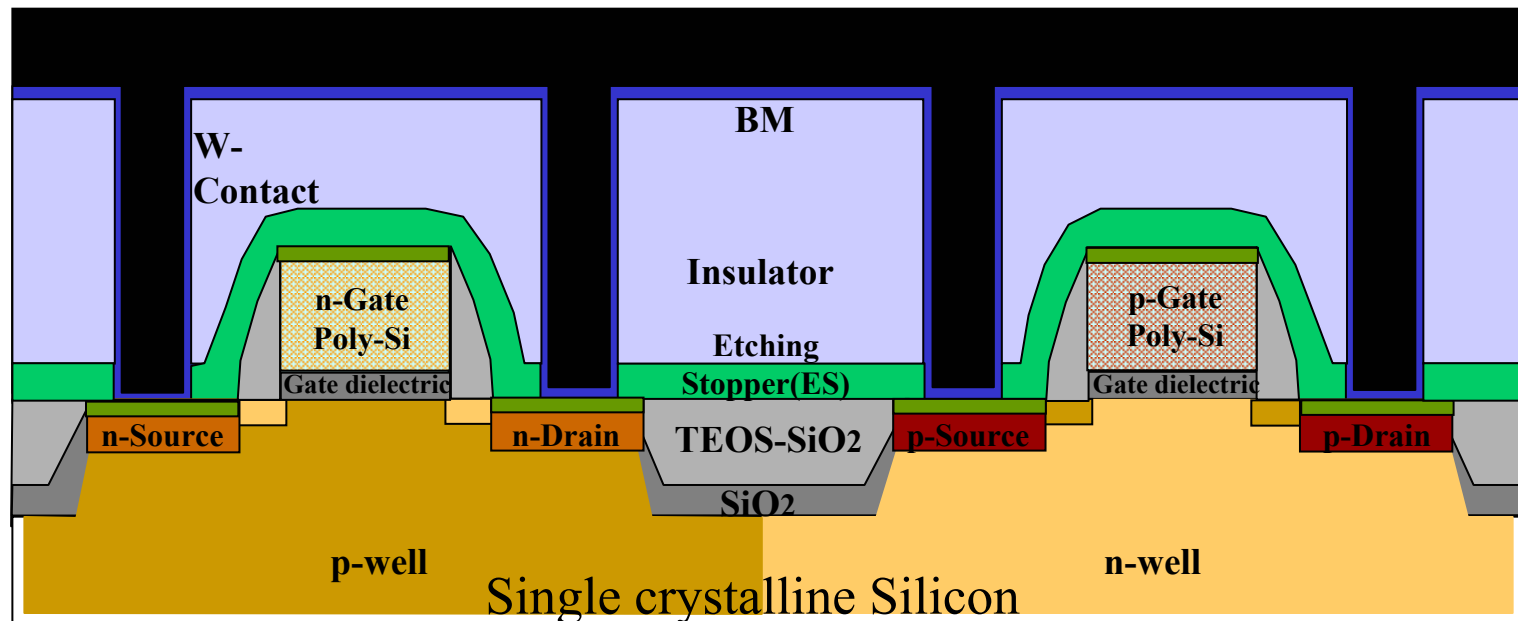
I. Pembentukan Contact hole

49. Deposisi/Gap filling lapisan metal (Al atau W)

Sama dengan proses 37, yaitu PVD, utamanya Sputtering.

Saat ini W lebih dominan dibanding Al.

Secara berurutan bisa dideposisi dengan peralatan yang sama dengan deposisi barrier metal.

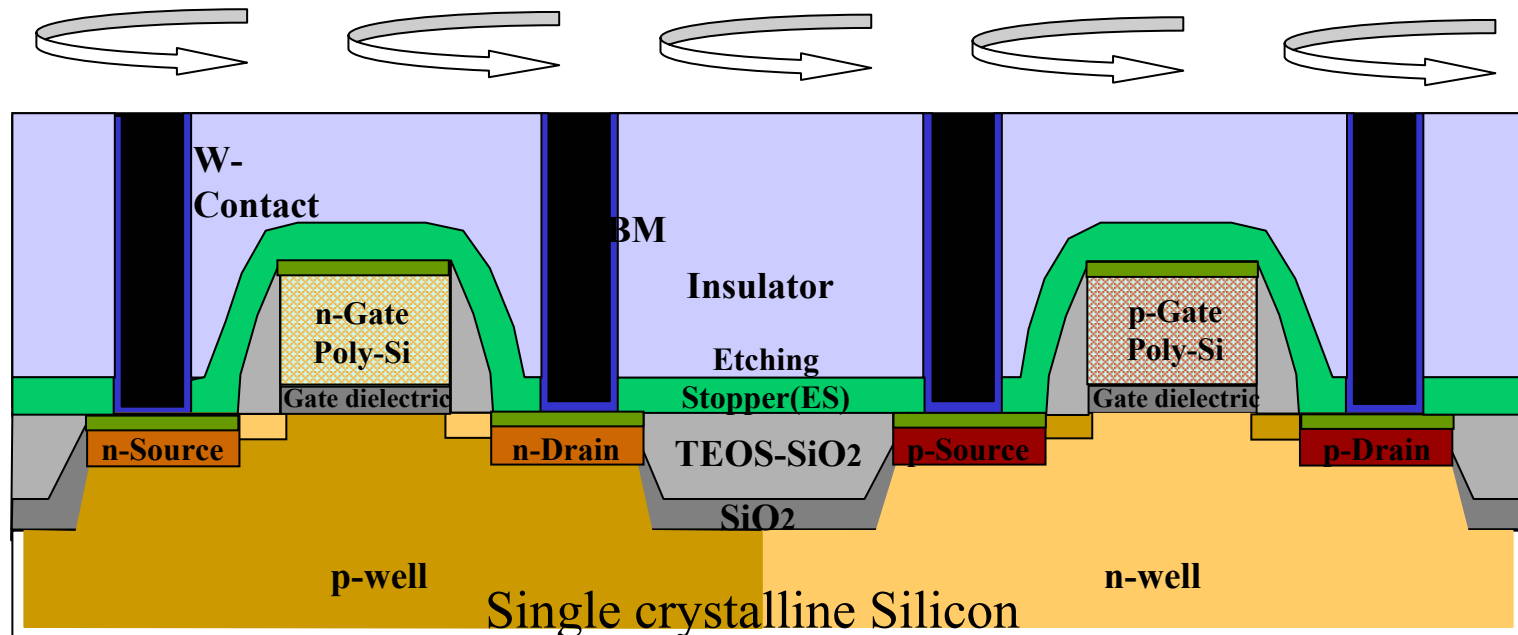


I. Pembentukan Contact hole

50. Penyisihan lapisan metal dari permukaan

Sama dengan proses 8, yaitu CMP. Karena objeknya adalah metal, disebut juga Metal-CVD atau khususnya W-CMP

Dengan ini, proses pembentukan contact hole atau Metal0(M0) selesai.



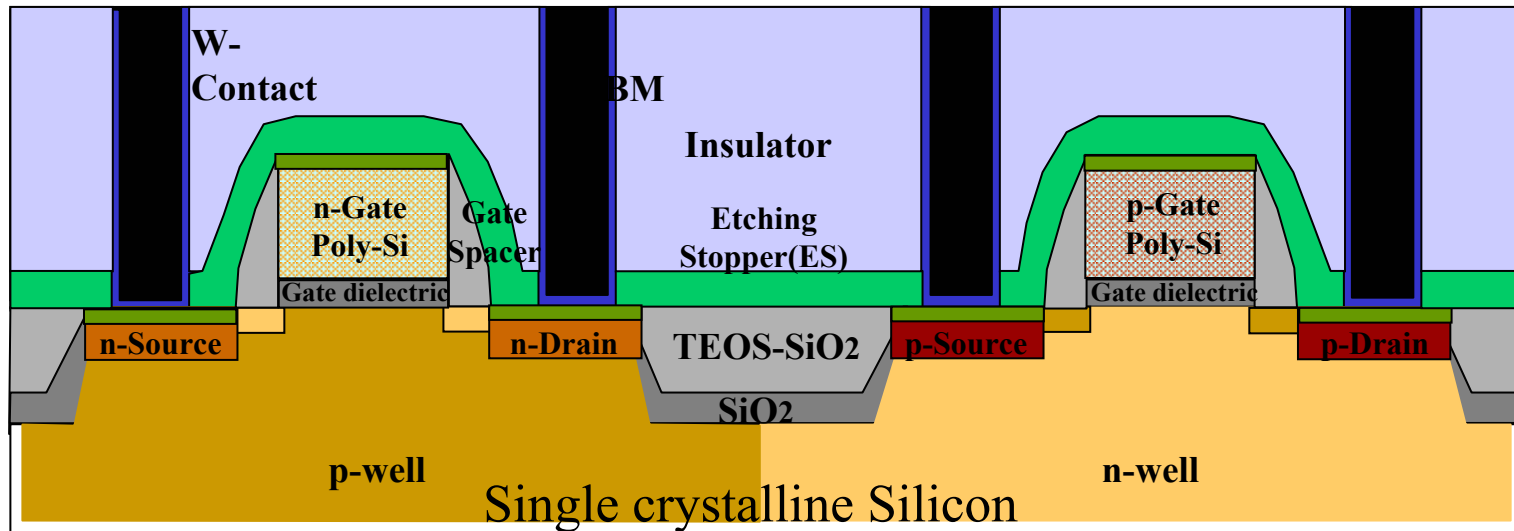
BEOL Al wiring

Adalah proses 2~5 dengan material metal berupa Aluminium (Al). Keunggulan Al adalah:

1. Hambatan listrik(resistivity) yang cukup rendah
2. Bisa diproses dengan Reactive Ion Etching.
3. Secara alami membentuk oksida yang stabil di permukaan Al, dan menjadi pelindung bagi Al dibawahnya.

II. Pembentukan lapisan Metal1

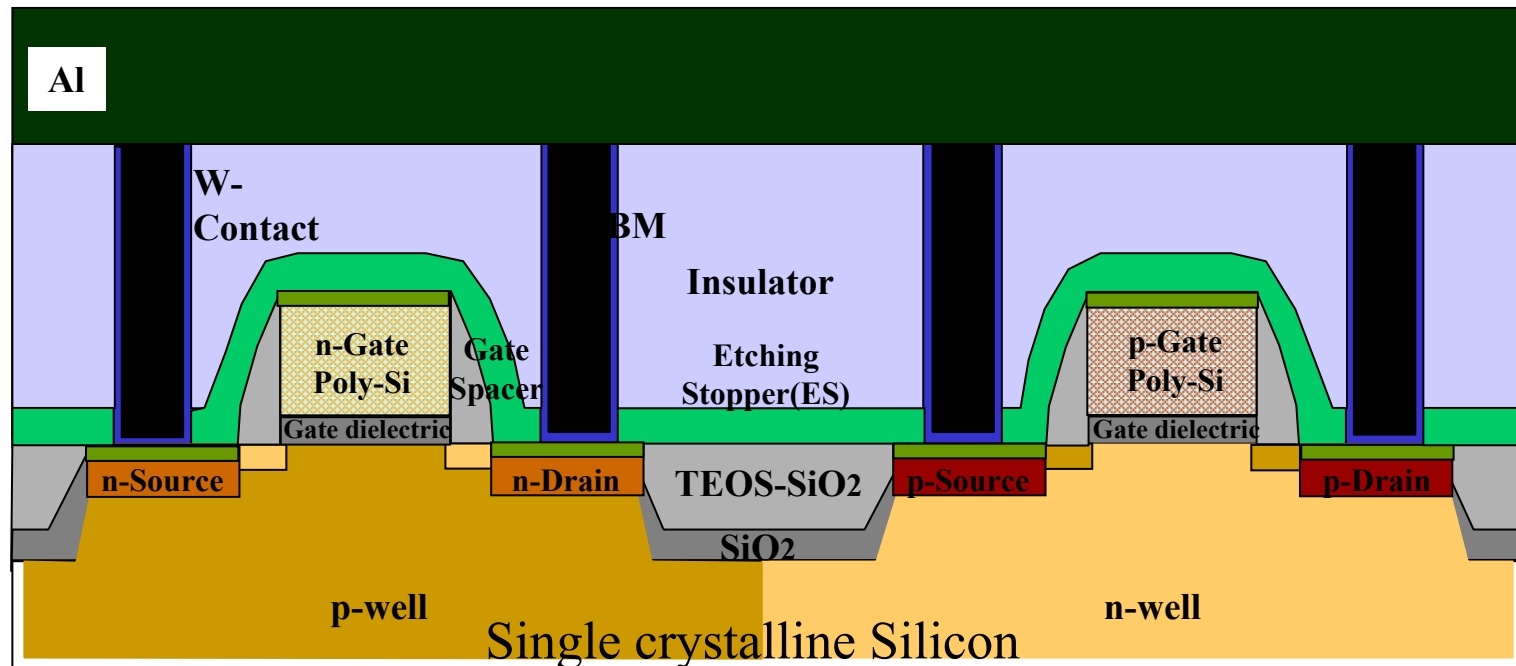
50-A1. Kondisi setelah Contact hole selesai dibentuk



II. Pembentukan lapisan Metal1

51-A1. Deposisi lapisan Al

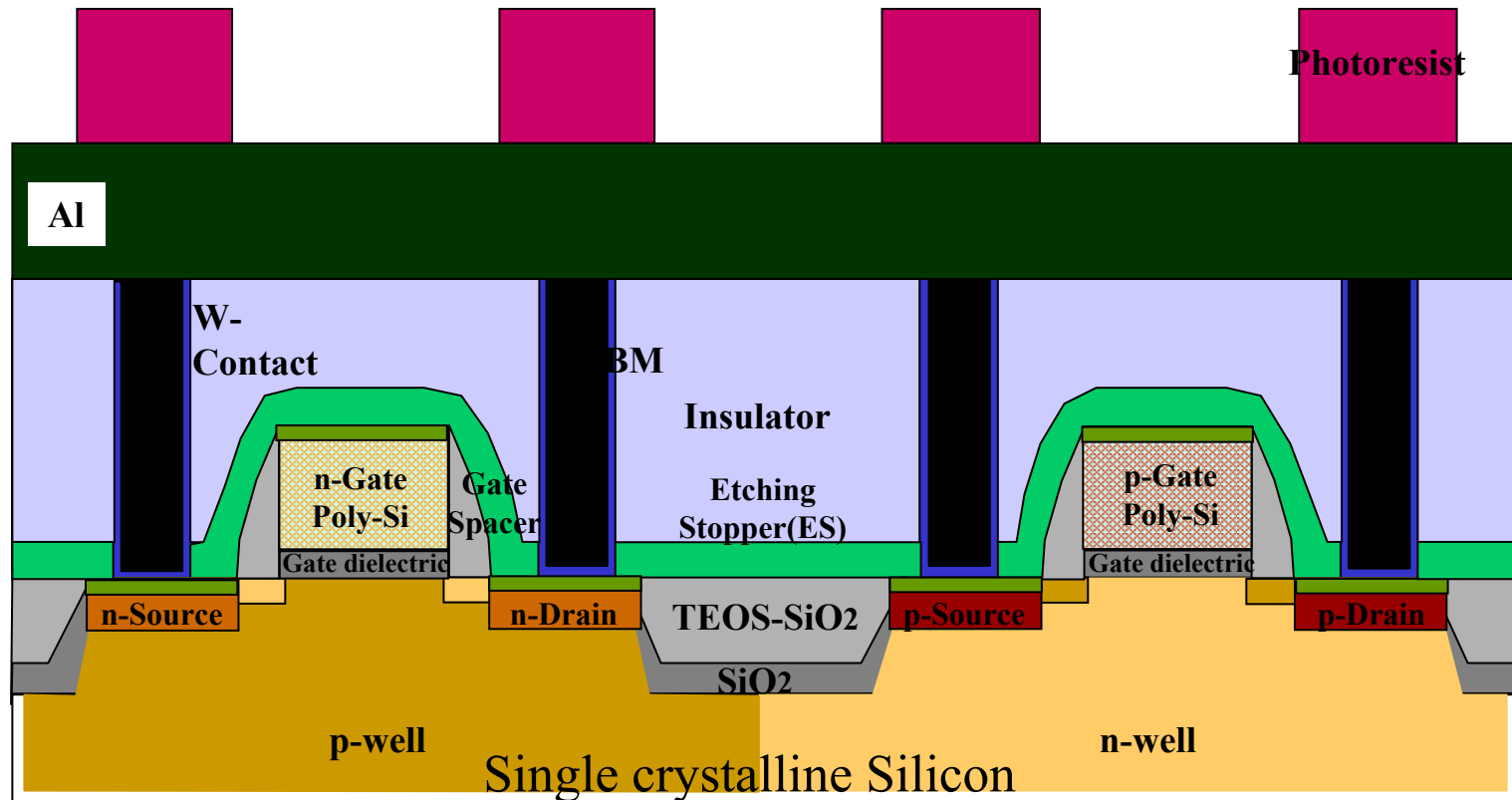
Sama dengan proses 37, yaitu PVD, utamanya Sputtering.



II. Pembentukan lapisan Metal1

52-A1. Photolithography patterning

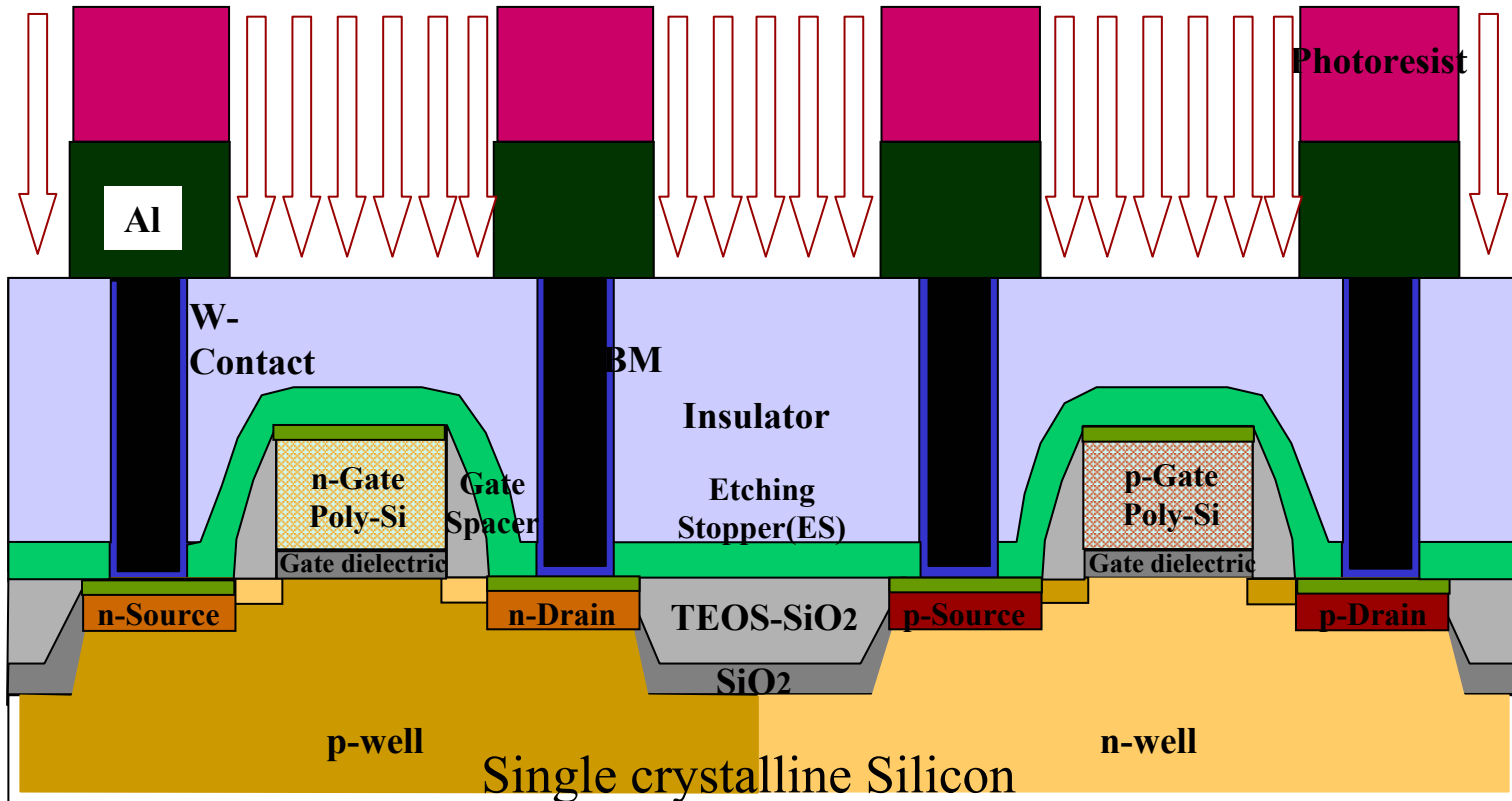
Sama dengan proses 3.



II. Pembentukan lapisan Metal1

53-A1. Etching(Reactive Ion Etching)

Sama dengan proses 4, dengan jenis gas/plasma yang sesuai untuk Al.

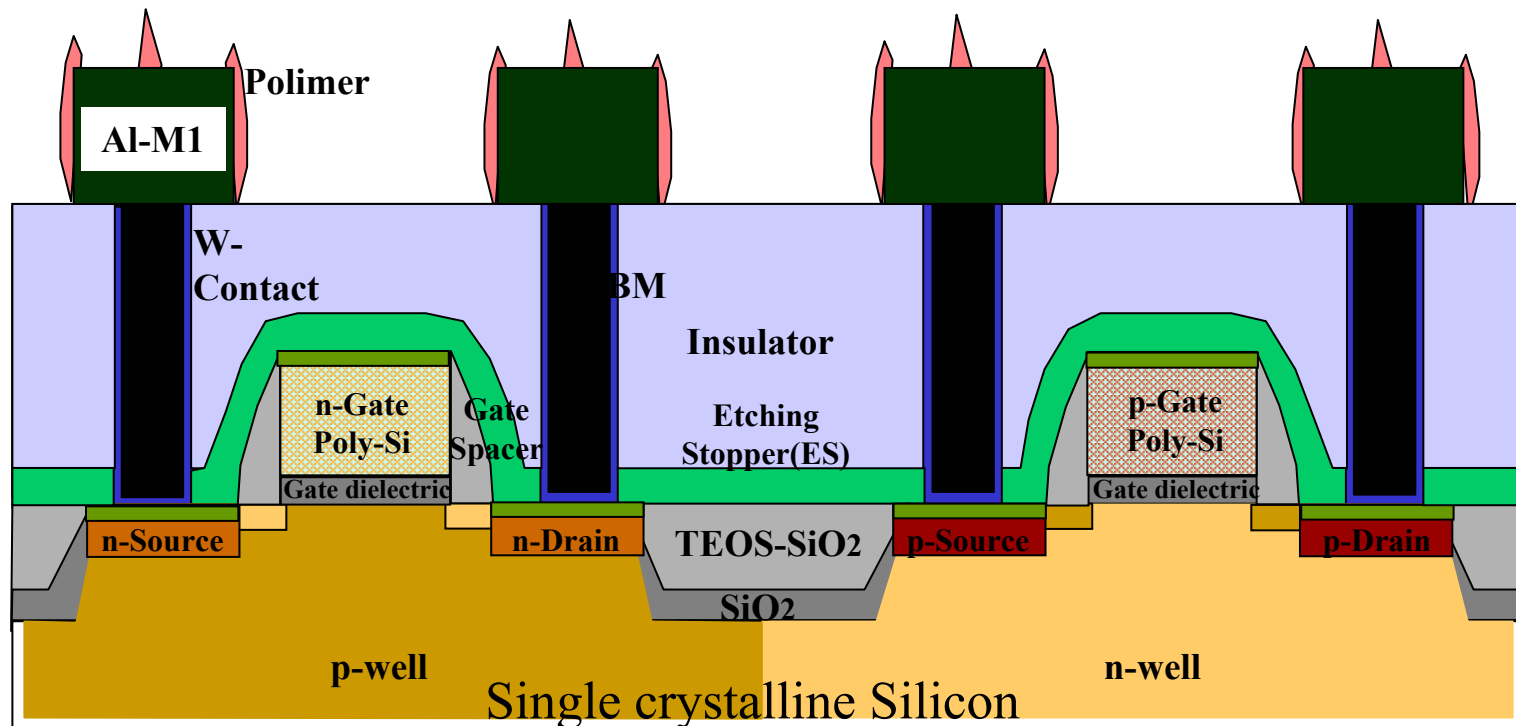


II. Pembentukan lapisan Metal1

54-A1. Ashing

Sama dengan proses 13.

Reaksi antara etching gas, photoresist dan Al membentuk lapisan residu yang disebut juga polimer. Disini wet cleaning menjadi keharusan.



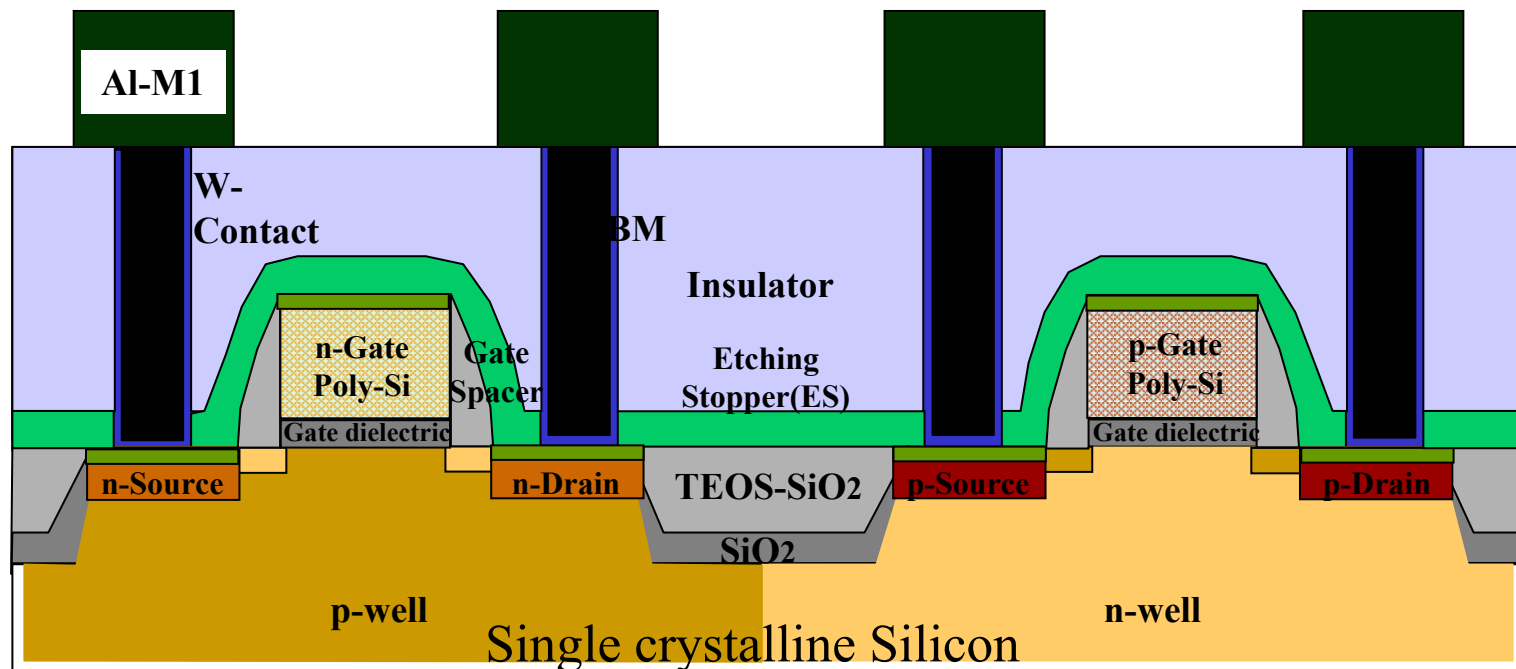
II. Pembentukan lapisan Metal1

55-A1. Wet cleaning

Sama dengan proses 13.

Larutan kimia yang dipakai adalah campuran dari larutan organik, dengan spesifikasi minimal mampu melarutkan polimer residu dan tidak merusak Al dan insulator SiO₂.

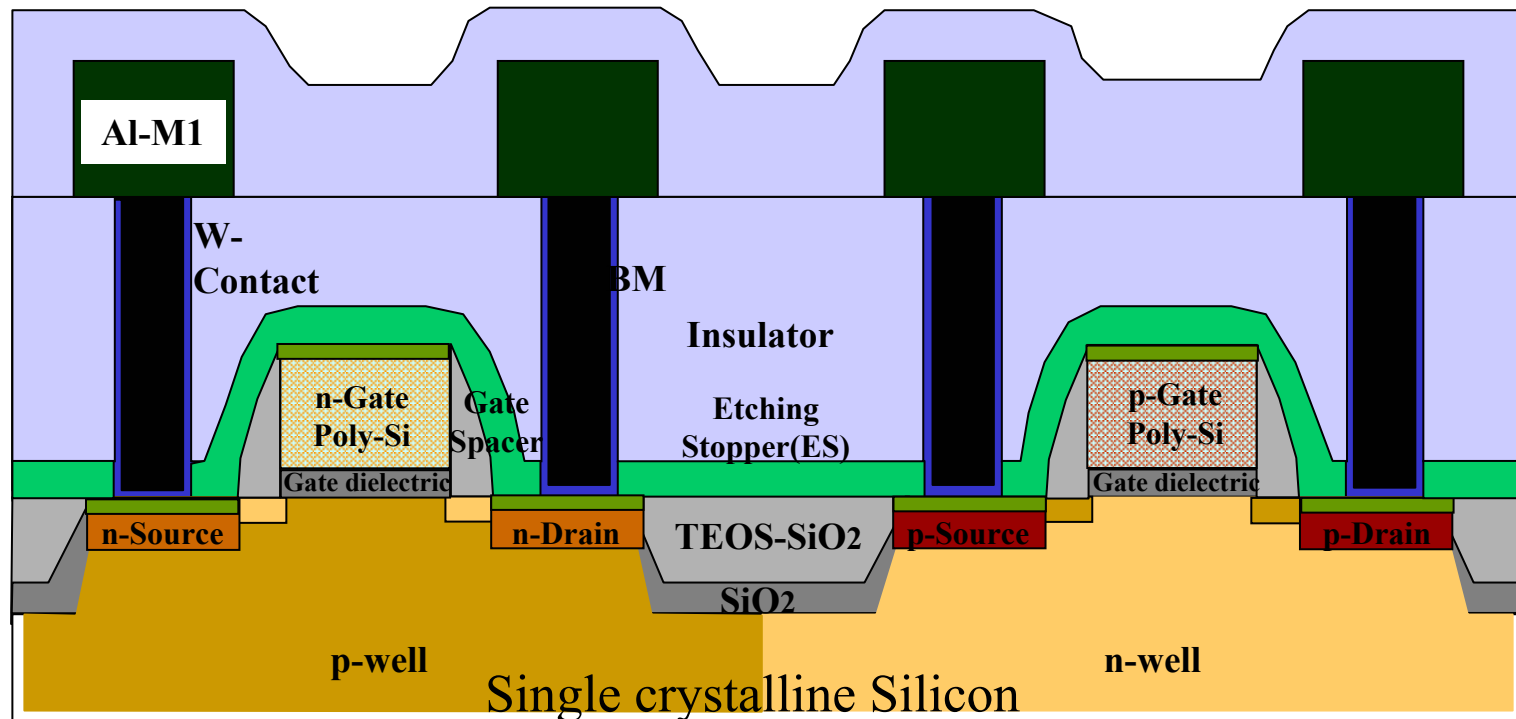
Dengan ini, proses pembentukan M1 selesai.



III. Pembentukan insulator antar metal

56-A1. Deposisi lapisan TEOS-SiO₂

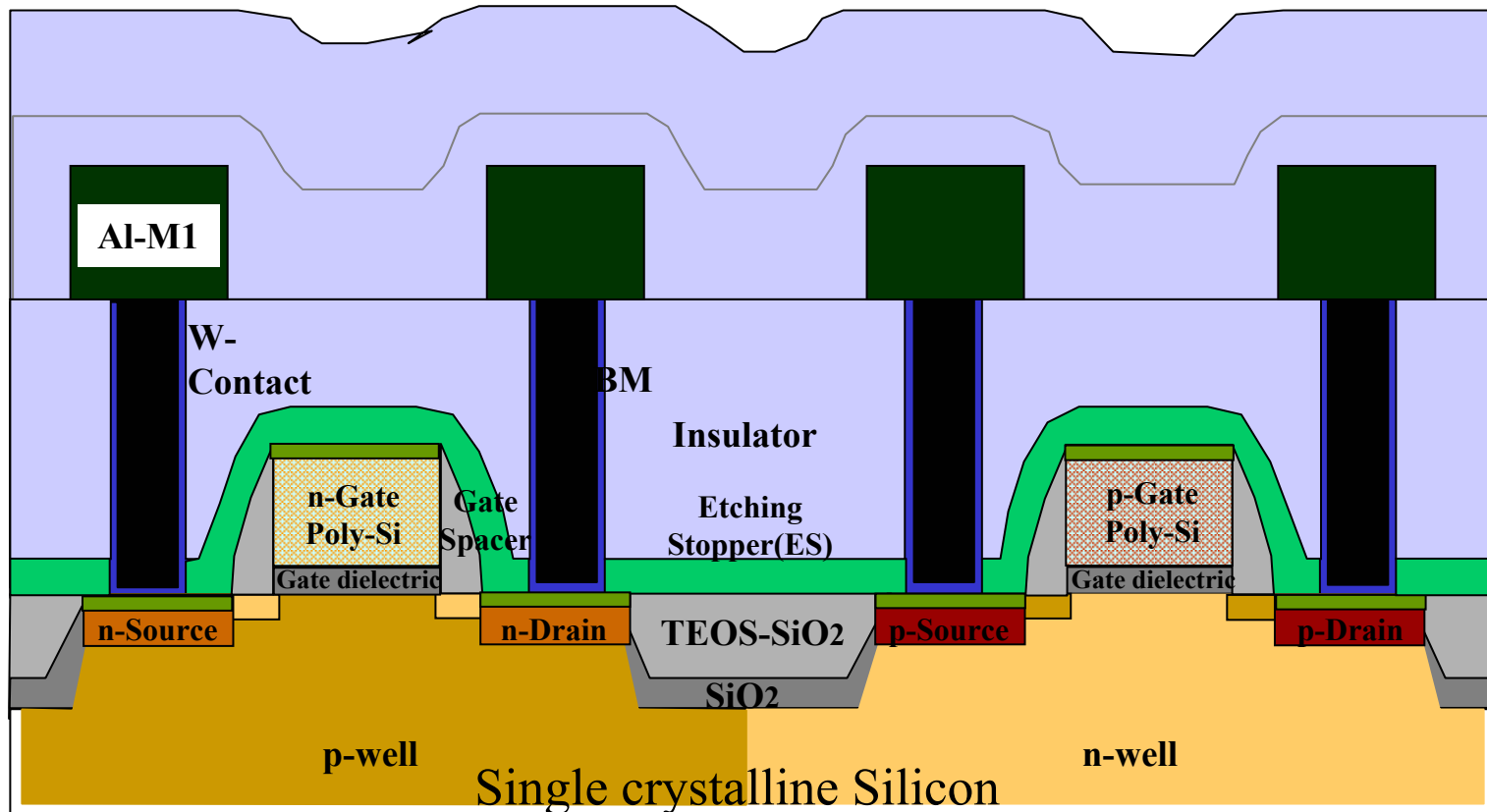
Sama dengan proses 2, yaitu CVD.



III. Pembentukan insulator antar metal

57-A1. Deposisi lapisan TEOS-SiO₂ tambahan untuk menutupi ketidakrataan permukaan.

Sama dengan proses 2, yaitu CVD.

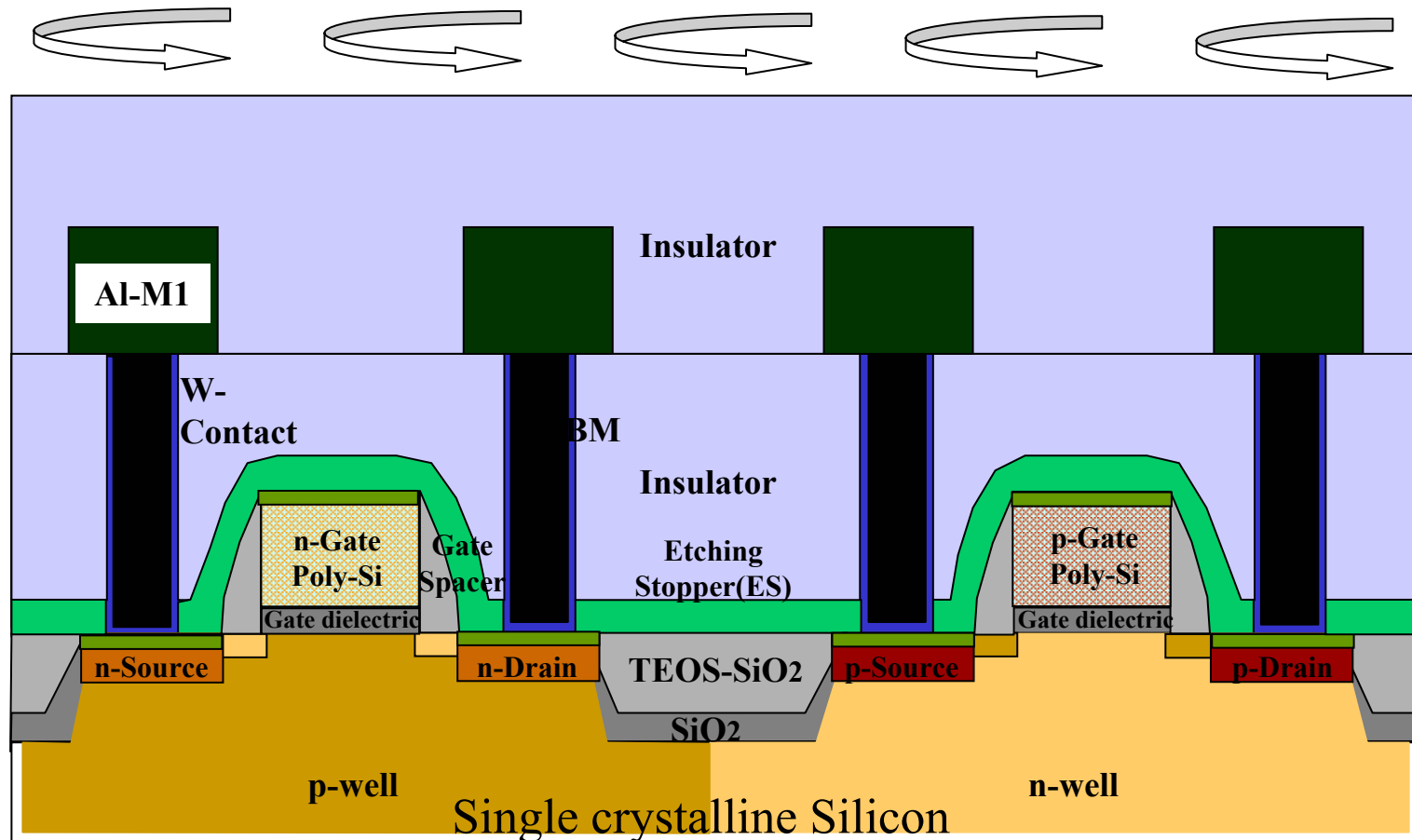


IV. Perataan permukaan(planarization)

58-A1. Perataan lapisan TEOS-SiO₂

Sama dengan proses 8, yaitu CMP.

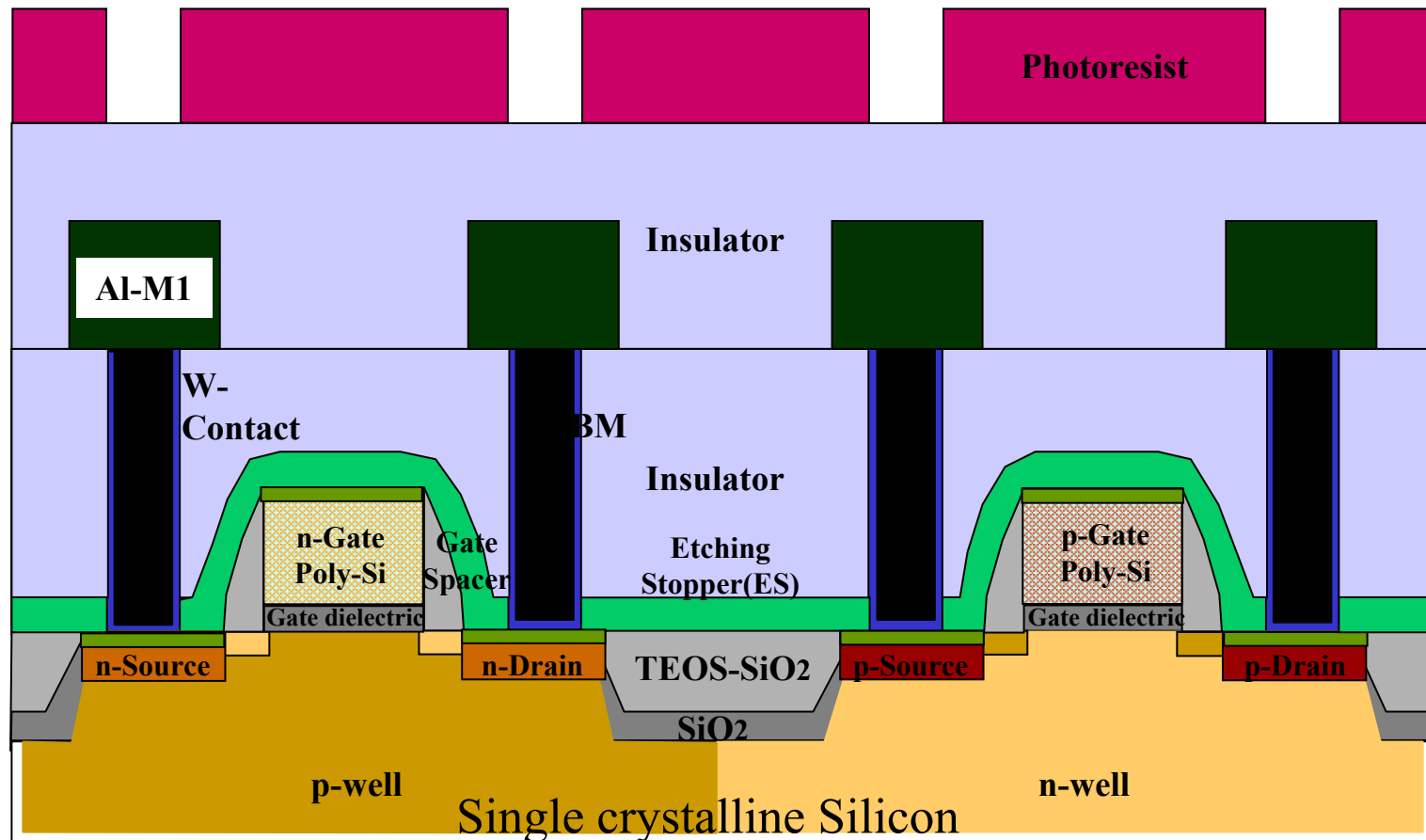
Dengan ini, proses pembentukan insulator antar metal dan perataannya selesai.



V. Pembentukan Via hole antar lapisan metal

59-A1. Photolithography patterning

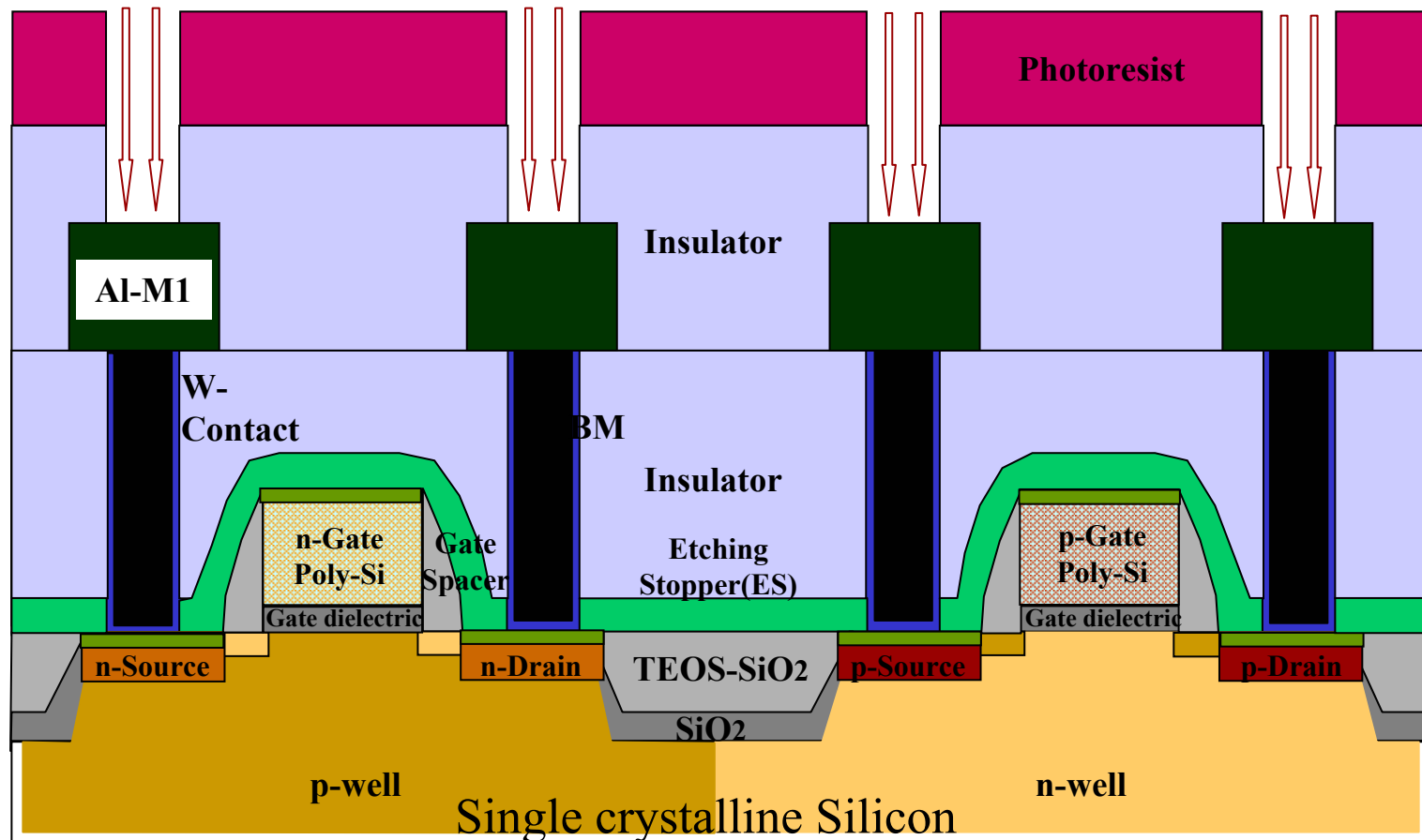
Sama dengan proses 3.



V. Pembentukan Via hole antar lapisan metal

60-A1. Etching(Reactive Ion Etching)

Sama dengan proses 4, dengan jenis gas/plasma yang sesuai untuk SiO₂.

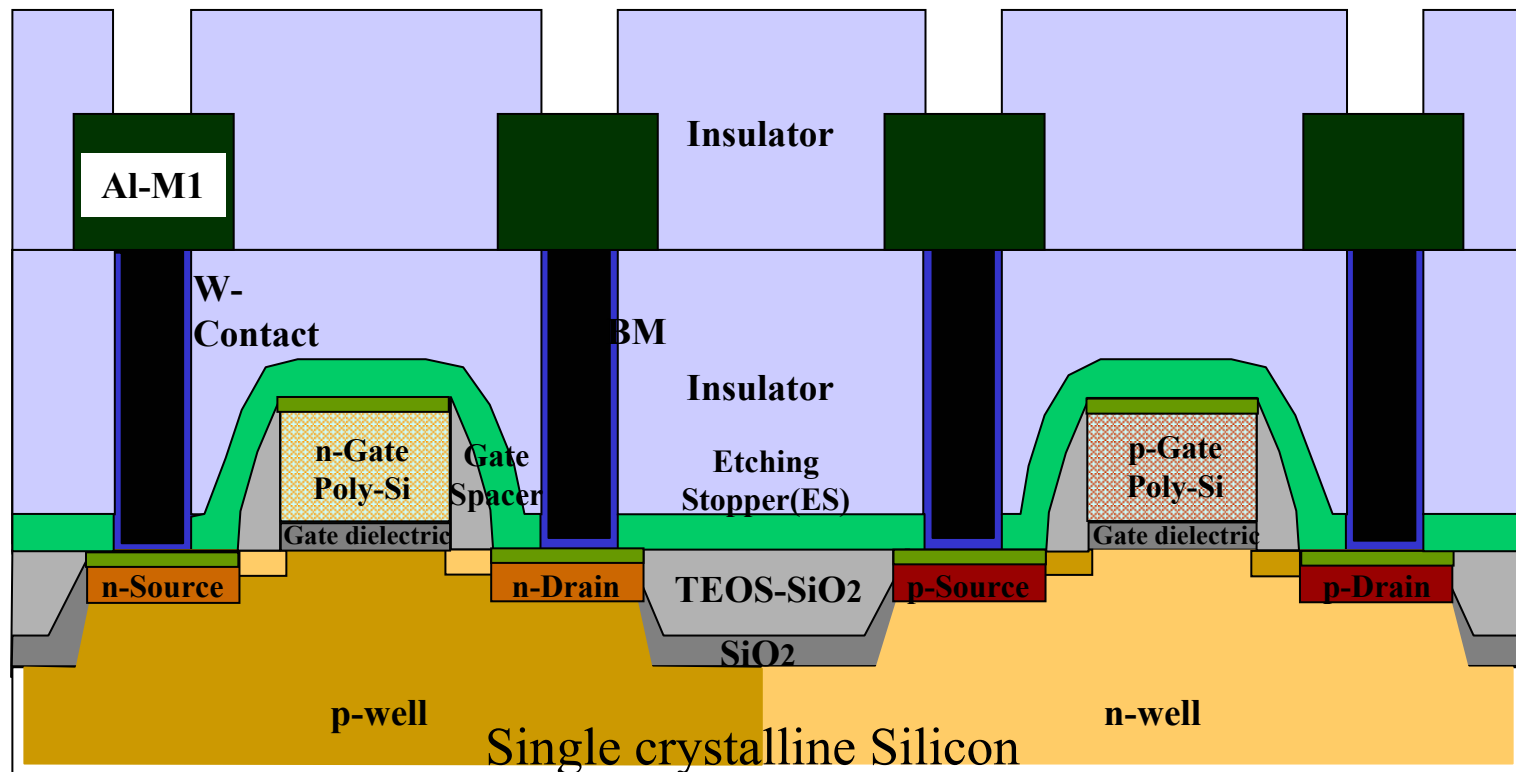


V. Pembentukan Via hole antar lapisan metal

61-A1. Ashing +Wet Cleaning

Sama dengan proses 13.

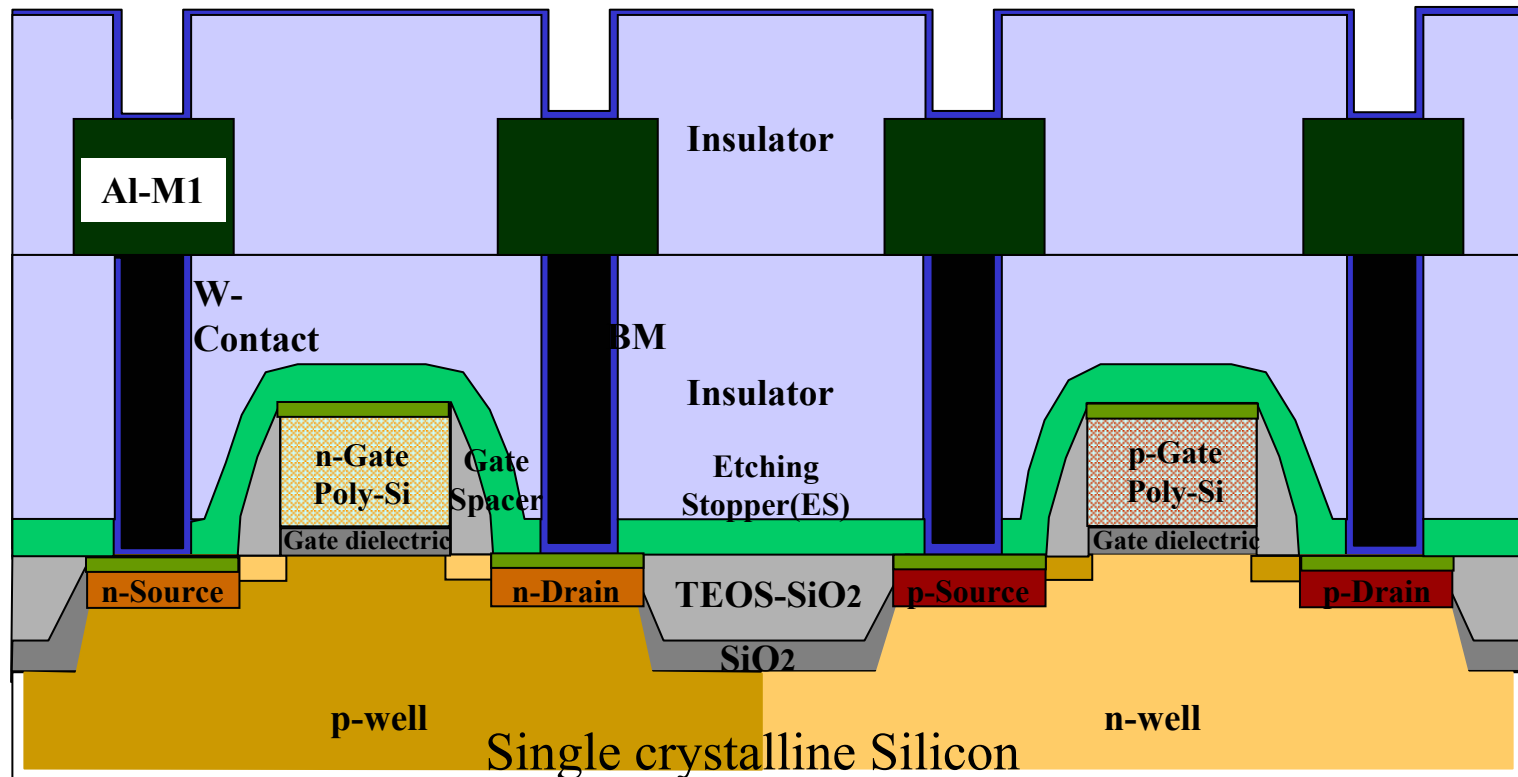
Polimer/residu yang terbentuk mengharuskan wet cleaning dengan larutan kimia organik polimer.



V. Pembentukan Via hole antar lapisan metal

62-A1. Deposisi lapisan Barrier Metal (TiN)

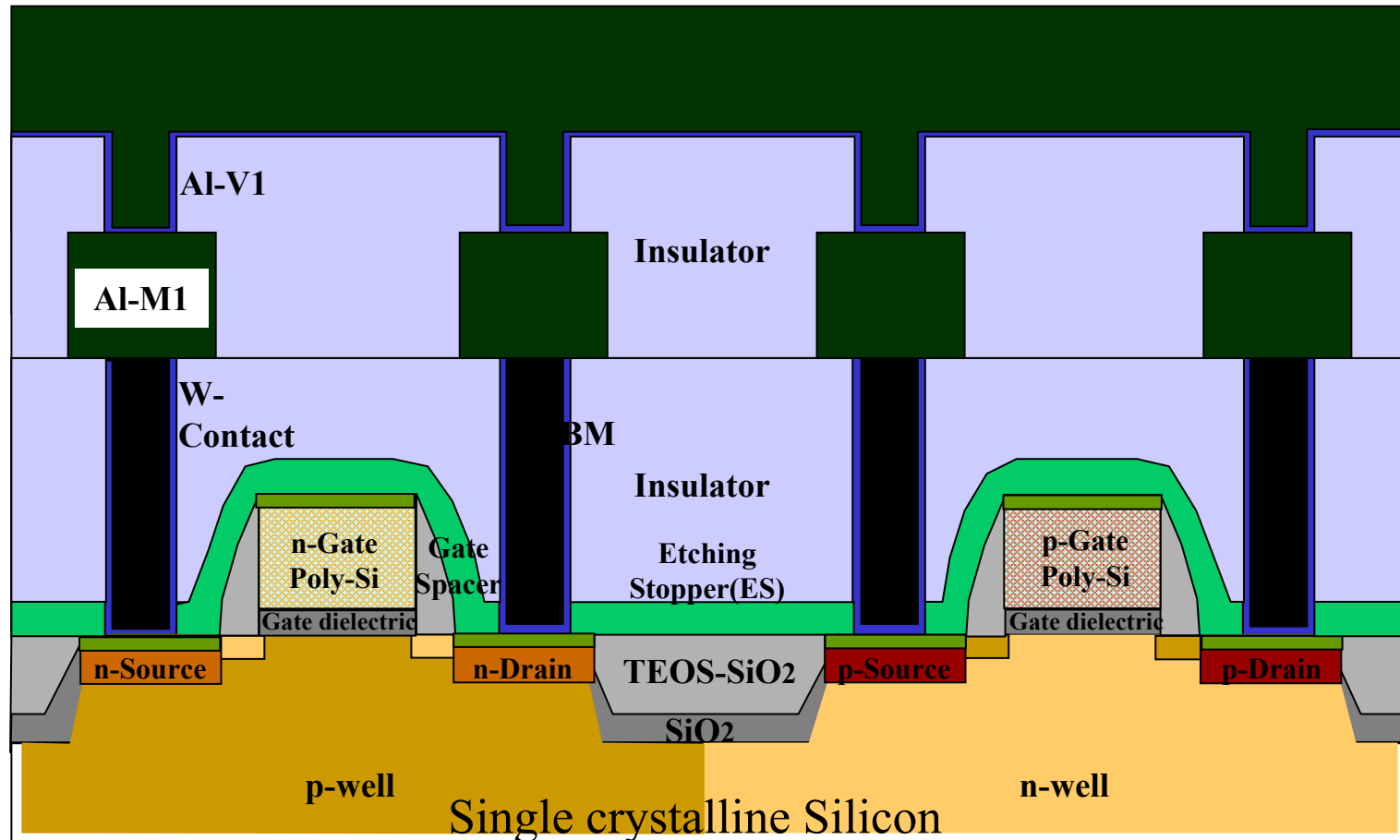
Sama dengan proses 37, yaitu PVD, utamanya Sputtering.



V. Pembentukan Via hole antar lapisan metal

63-Al. Deposisi/Gap filling lapisan Al

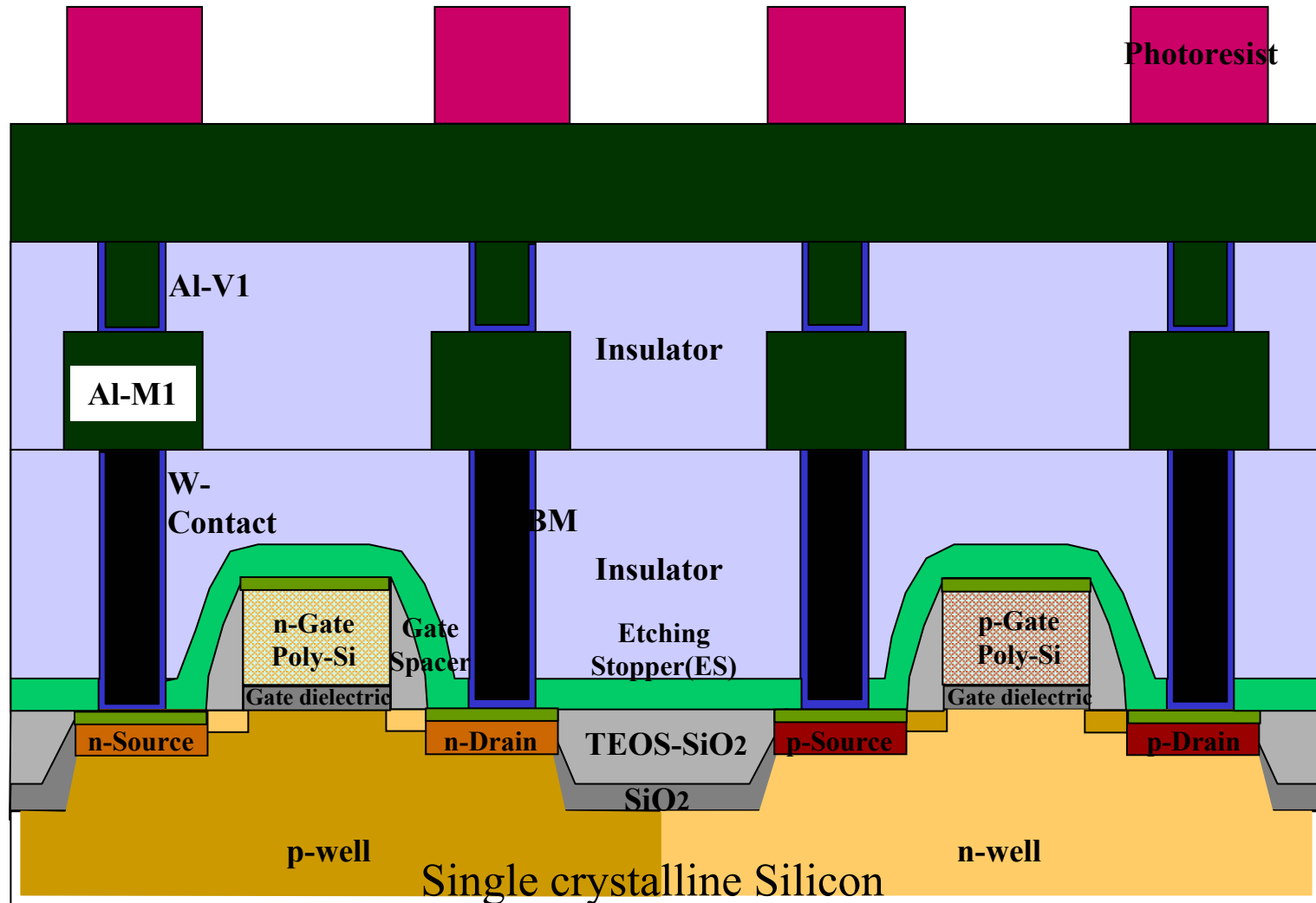
Sama dengan proses 37, yaitu PVD, utamanya Sputtering. Secara bersamaan via hole terisi Al dan di permukaan terbentuk lapisan yang siap untuk diproses membentuk metal line2(M2).



VI. Pengulangan proses II (M2)

64-A1. Photolithography patterning

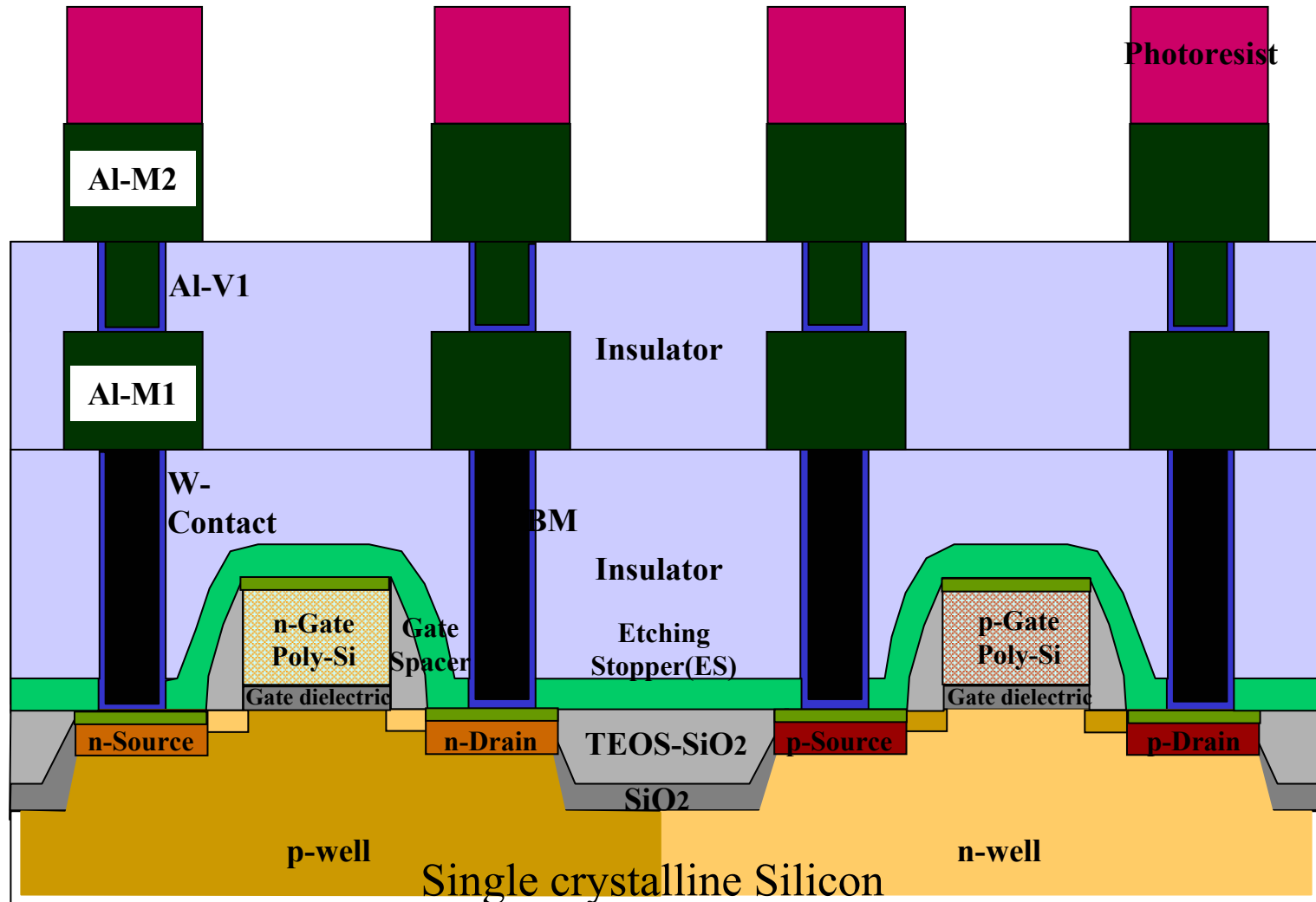
Sama dengan proses 3.



VI. Pengulangan proses II (M2)

65-A1. Etching (Reactive Ion Etching)

Sama dengan proses 4, dengan jenis gas/plasma yang sesuai untuk Al.

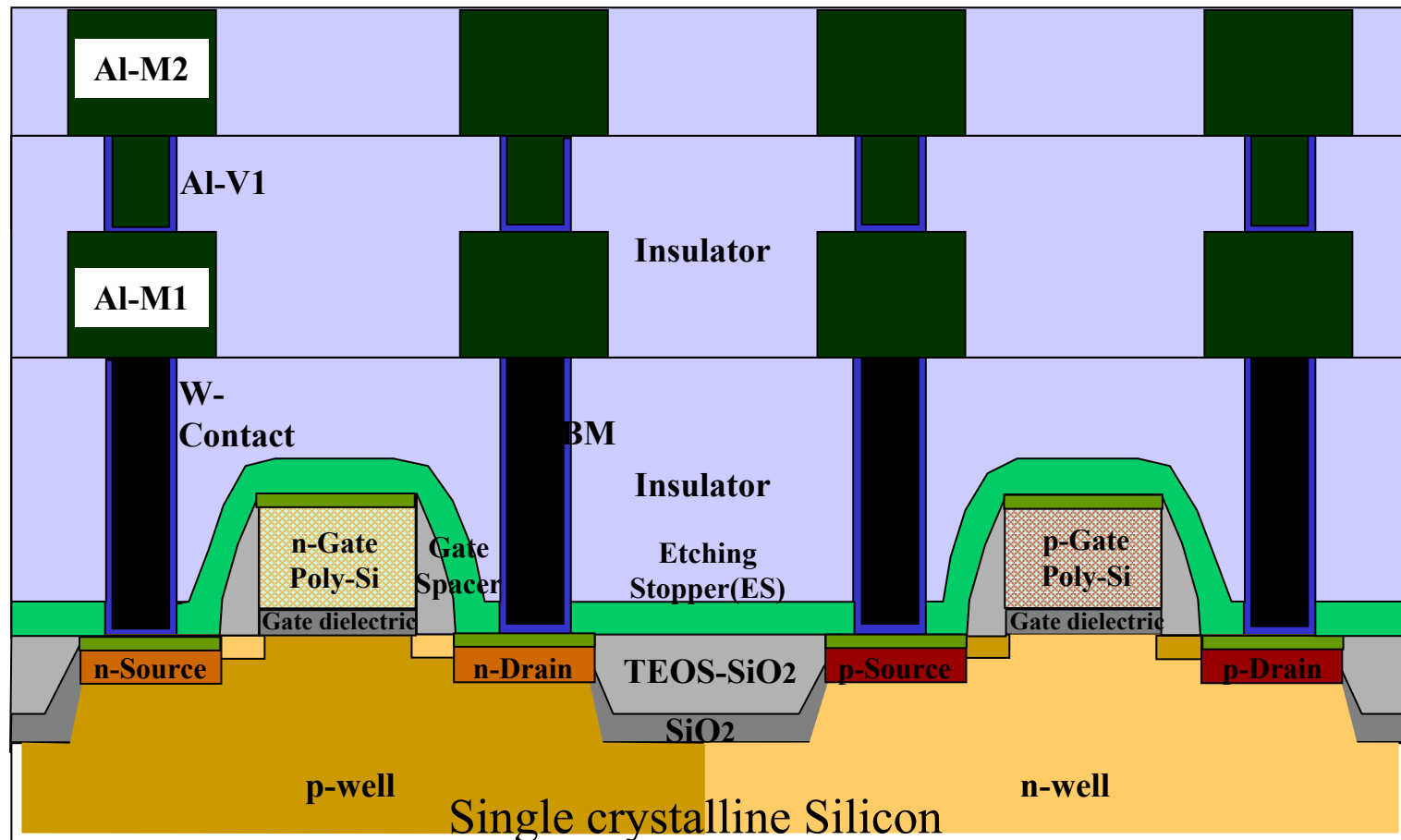


VI. Pengulangan proses III (insulator antar metal)

66-A1. Ashing + Wet Cleaning + Insulator + Planarization

Sama dengan proses 54~58.

Dengan ini M2 selesai dibentuk. Sesuai dengan jumlah transistor dalam 1 chip, lapisan metal juga meningkat sampai 5~7 lapis.

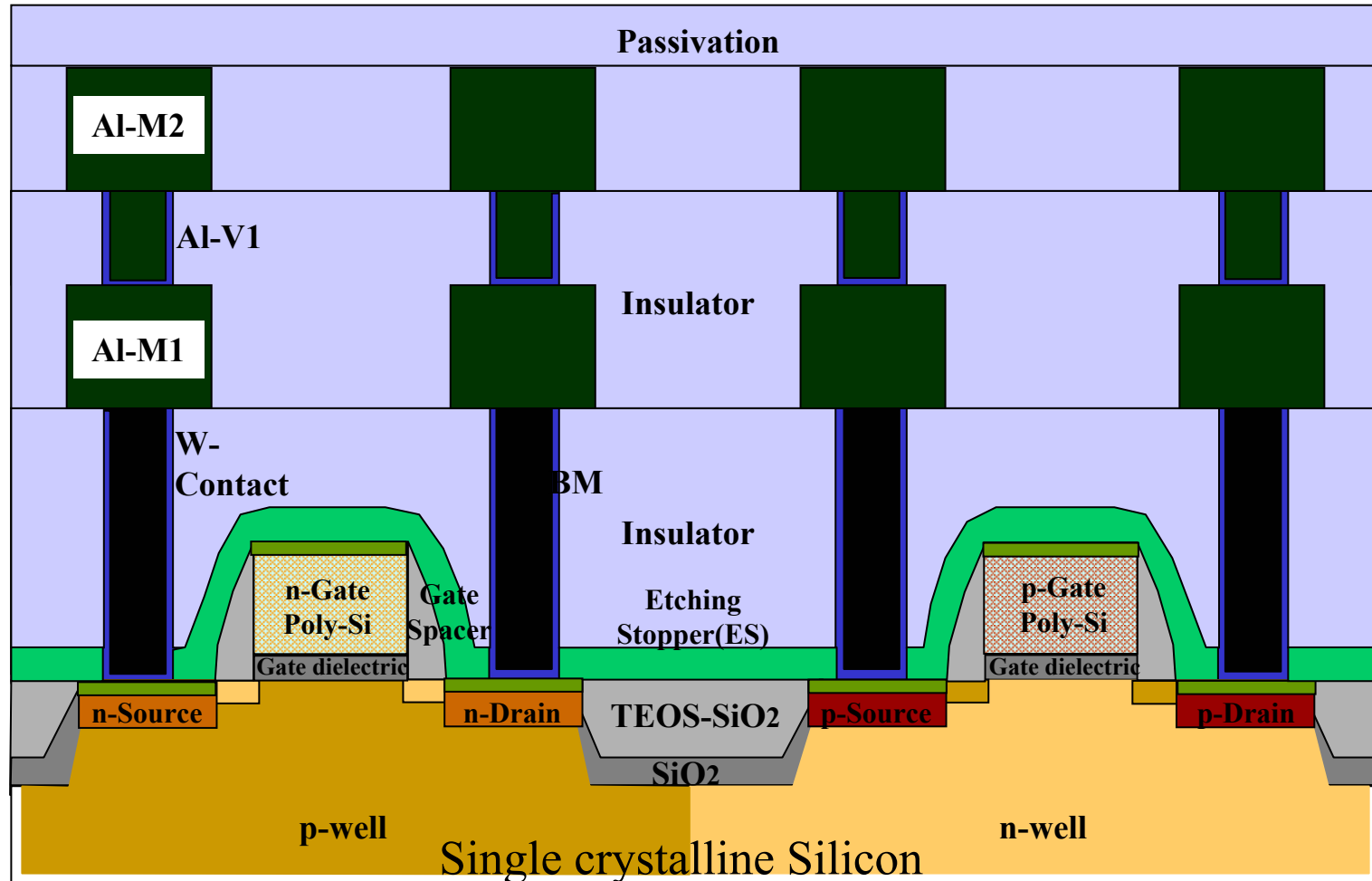


VI. Pembentukan lapisan pelindung (passivation)

67-A1. Deposisi lapisan SiN

Sama dengan proses 2, yaitu CVD.

Dengan ini, proses selesai. Selanjutnya adalah electrical test, dan pengepakan.



BEOL Cu wiring

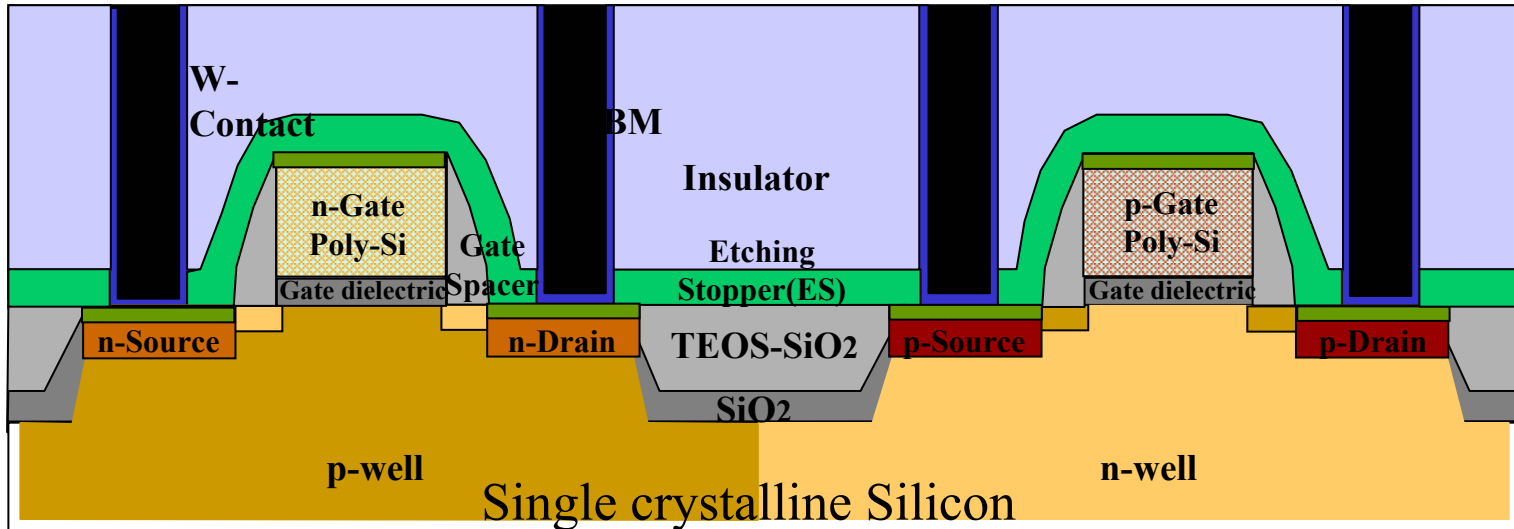
Adalah proses 2~5 dengan material metal berupa Tembaga (Cu). Keunggulan Cu adalah resistivity yang lebih rendah dibanding Al. Selama ini Cu tidak digunakan karena alasan, a.l:

1. Tidak bisa diproses dengan Reactive Ion Etching.
2. Tidak memiliki bentuk oksida yang stabil.
3. Kecepatan difusi yang tinggi terhadap Silicon membentuk kontaminasi logam.

Namun seiring dengan miniaturisasi transistor, tuntutan akan perlunya wiring berhambatan listrik rendah mendorong pemakaian Cu yang dipelopori IBM dan ST.Motorola pada 1997.

II. Pembentukan lapisan Metal1

50-Cu. Kondisi setelah Contact hole selesai dibentuk

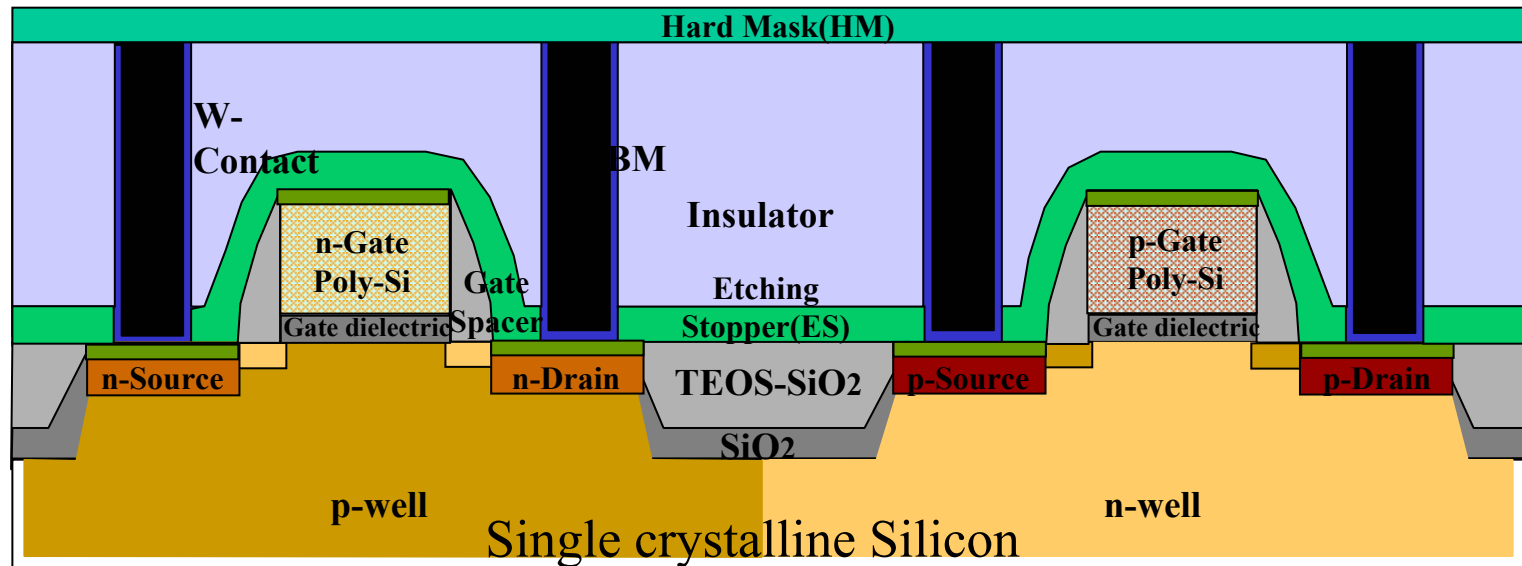


II. Pembentukan lapisan Metal1

51-Cu. Deposisi lapisan SiN sebagai Etching Stopper(ES)

Sama dengan proses 2, yaitu CVD.

Selain SiN, digunakan juga SiO₂, SiC, SiCN, dll.

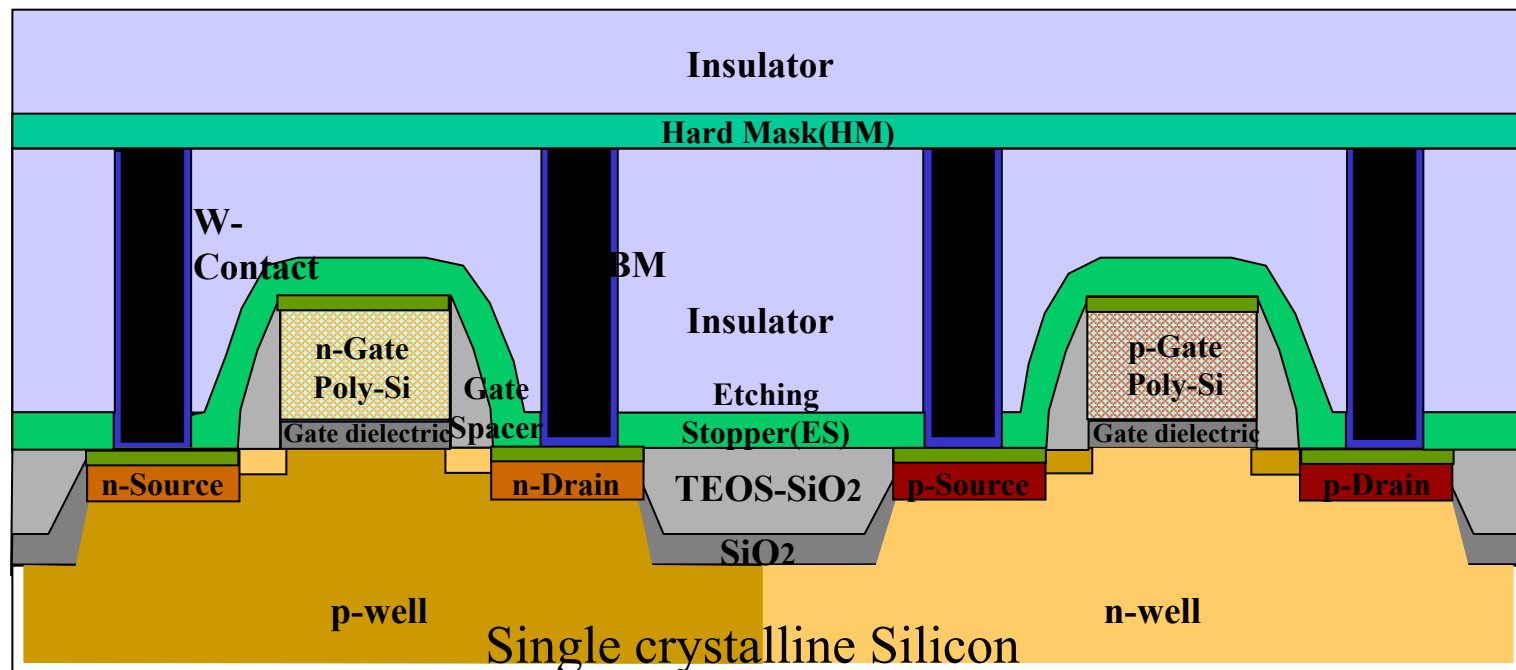


II. Pembentukan lapisan Metal1

52-Cu. Deposisi lapisan TEOS-SiO₂

Sama dengan proses 2, yaitu CVD.

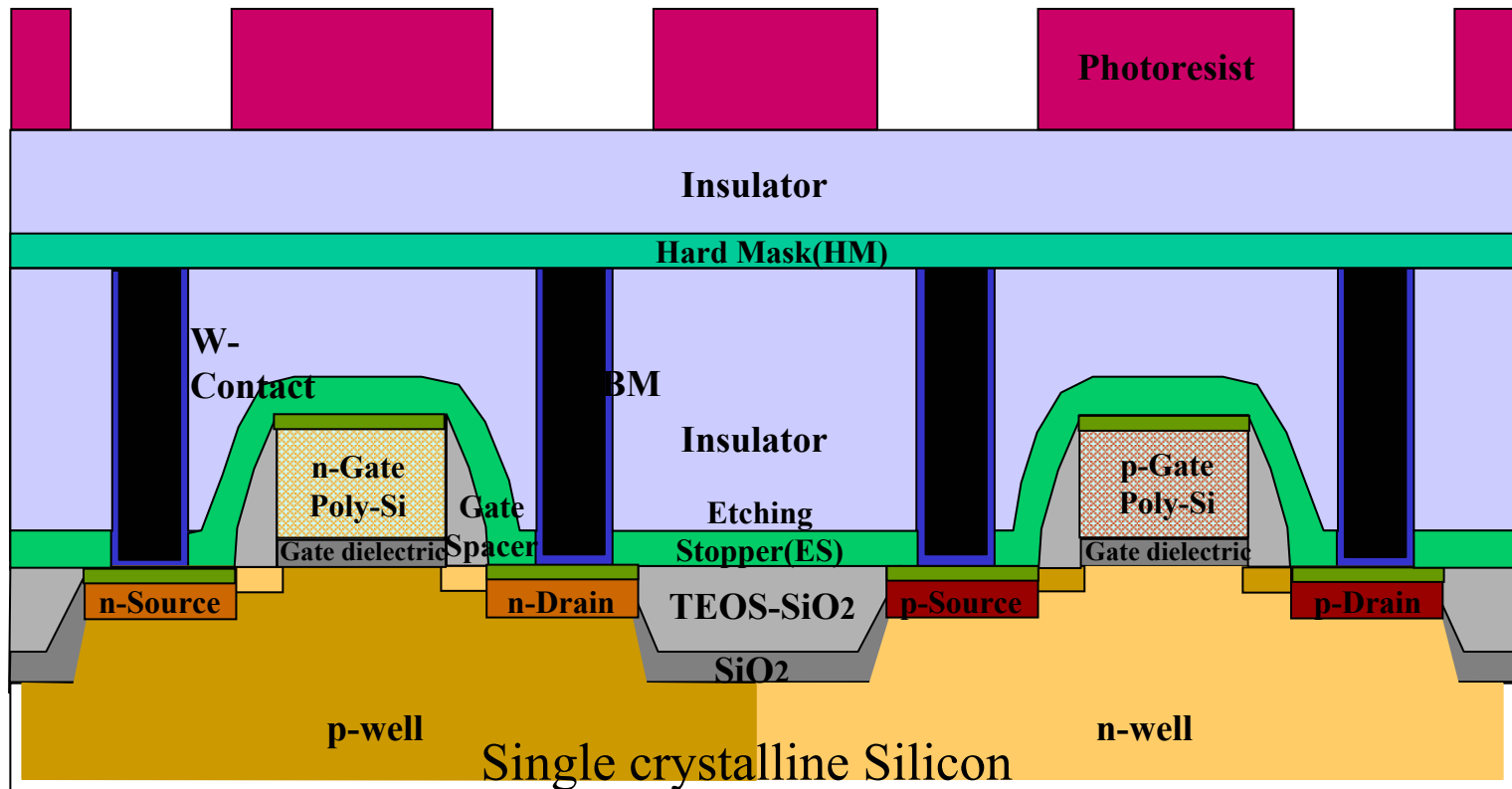
Tema utama di bagian ini adalah mengintroduksi low-k dielectric sebagai pengganti SiO₂ untuk mengurangi delay time wiring.



II. Pembentukan lapisan Metal1

53-Cu. Photolithography patterning

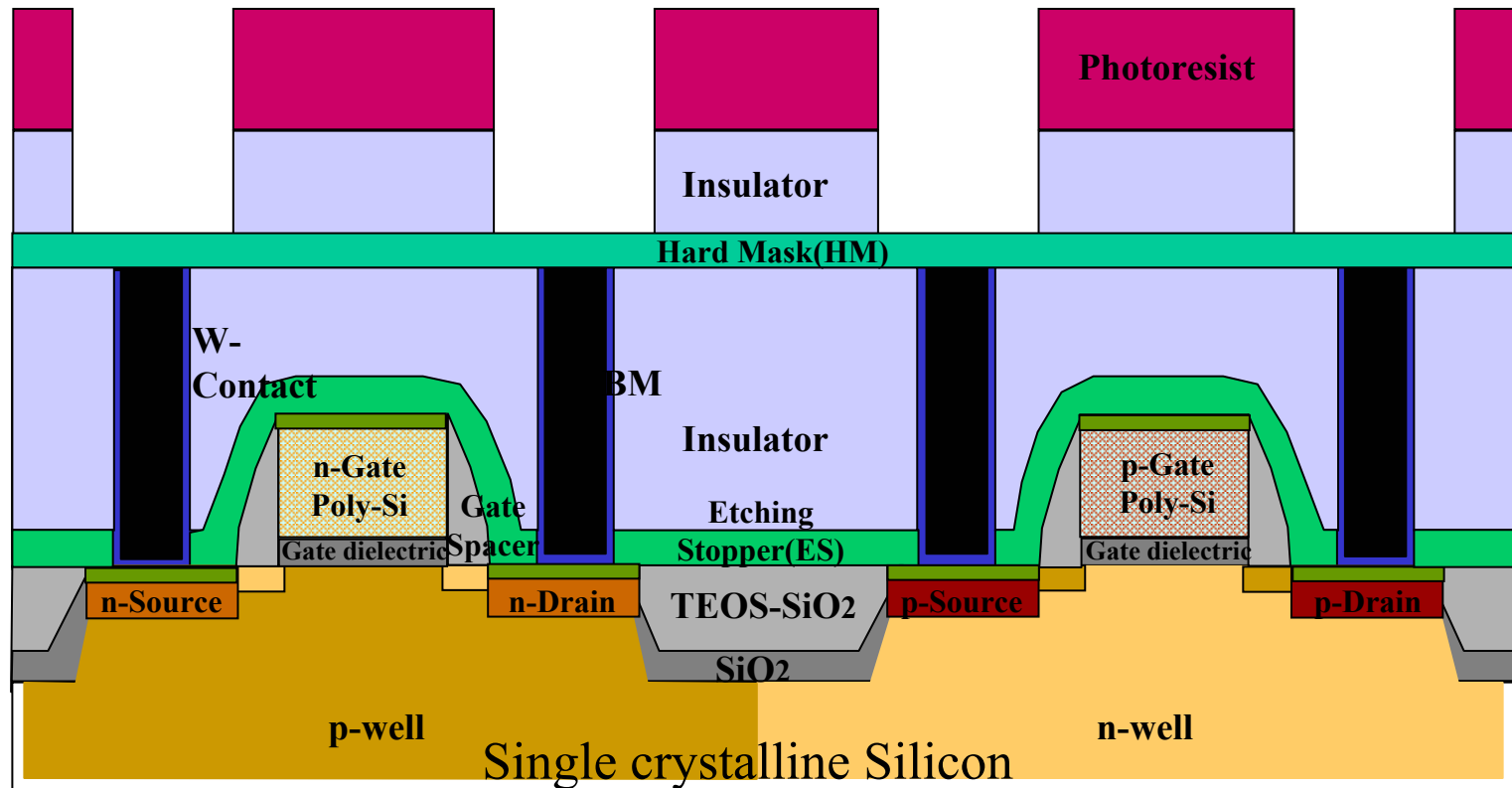
Sama dengan proses 3.



II. Pembentukan lapisan Metal1

54-Cu. Etching(Reactive Ion Etching)

Sama dengan proses 4, dengan jenis gas/plasma yang sesuai untuk bahan insulator.

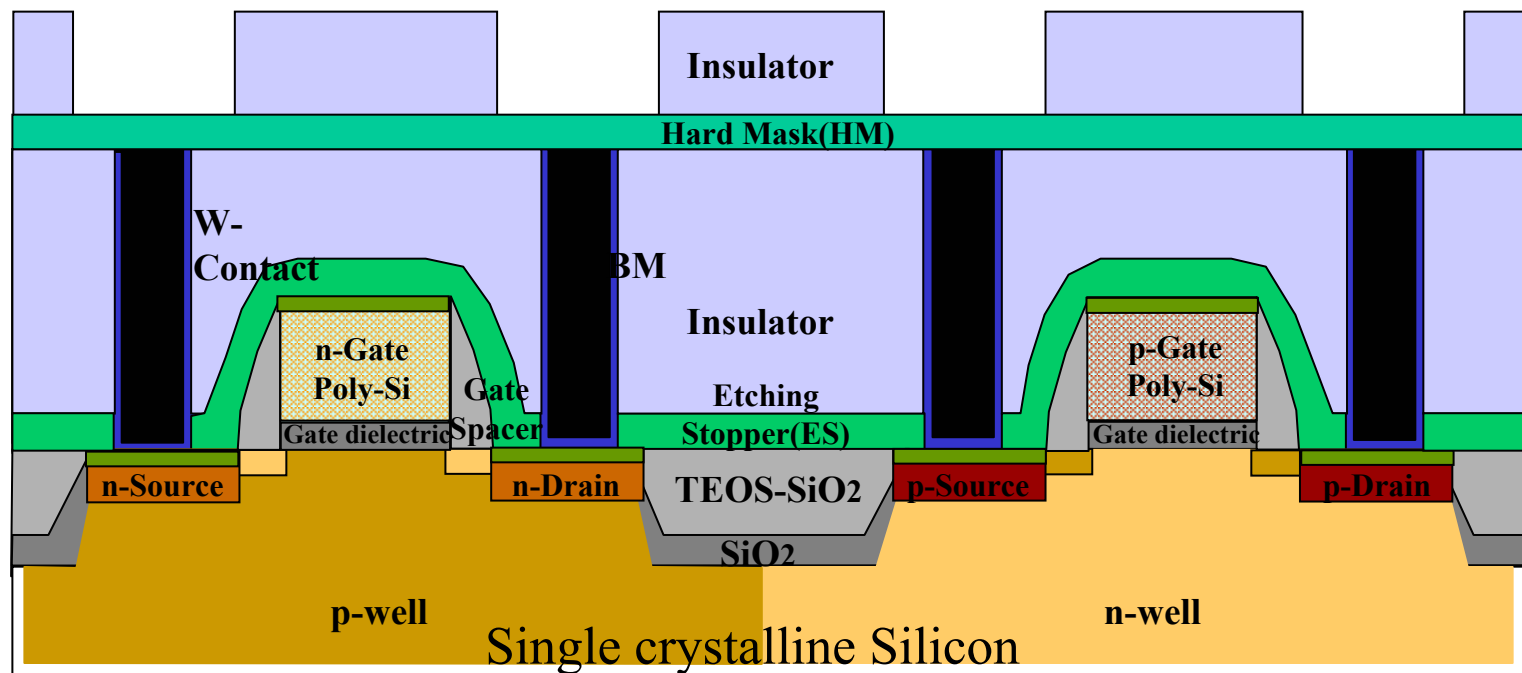


II. Pembentukan lapisan Metal1

55-Cu. Ashing + Wet Cleaning

Sama dengan proses 13.

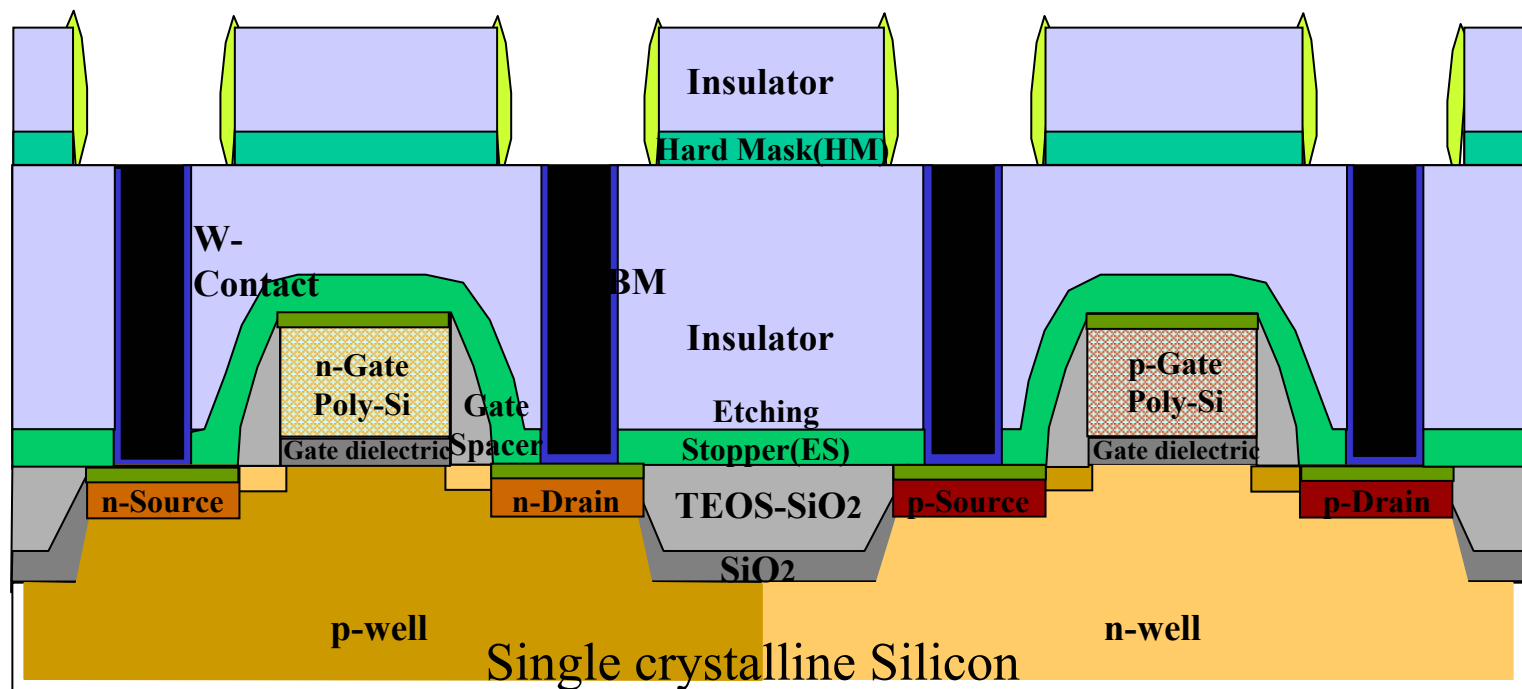
Wet cleaning dengan larutan kimia organik dibutuhkan tergantung dari ada tidaknya polimer/residu.



II. Pembentukan lapisan Metal1

56-Cu. Etching(Reactive Ion Etching)

Sama dengan proses 4, dengan jenis gas/plasma yang sesuai untuk bahan ES. Reaksi etching gas dengan metal dibawahnya membentuk polimer/residu yang mengharuskan wet cleaning.

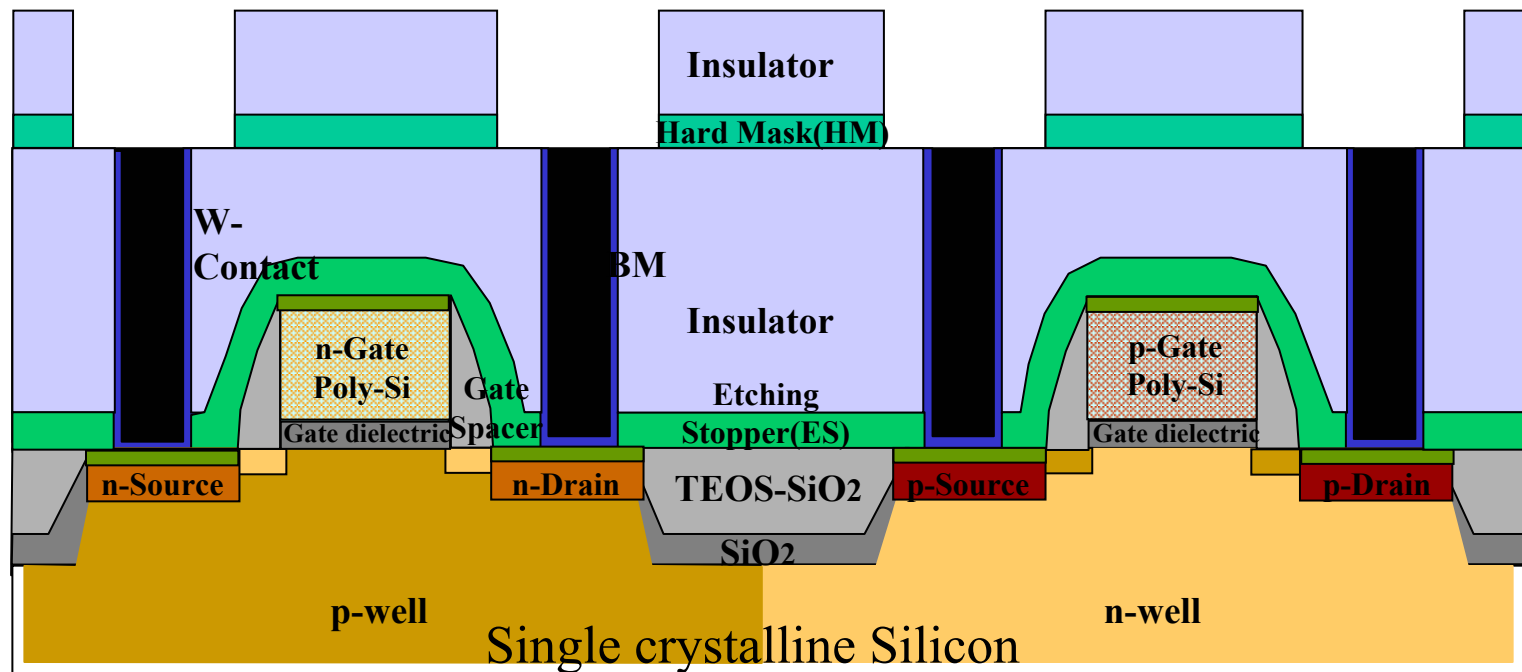


II. Pembentukan lapisan Metal1

57-Cu. Wet Cleaning

Sama dengan proses 13.

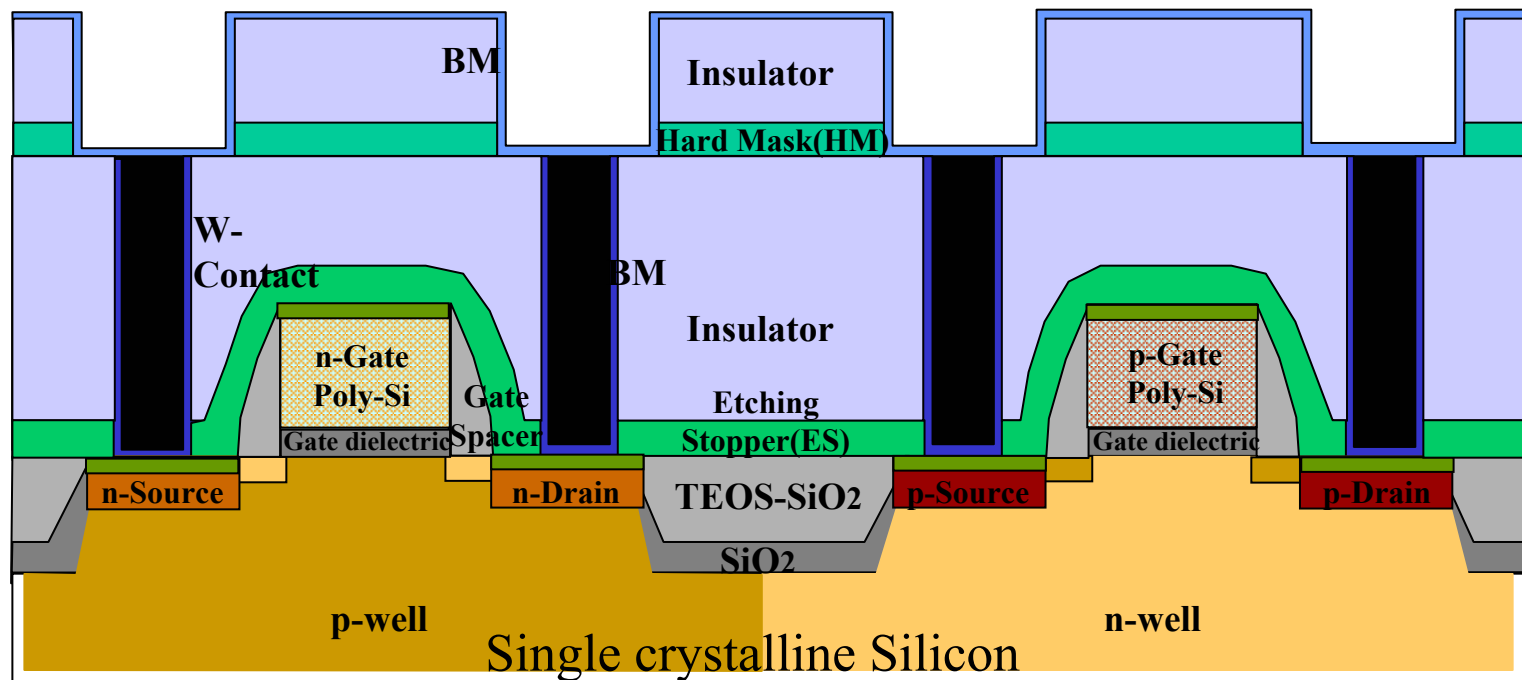
Larutan kimia organik harus memiliki spesifikasi minimal mampu melarutkan polimer residu dan tidak merusak metal dan insulator SiO₂.



II. Pembentukan lapisan Metal1

58-Cu. Deposisi lapisan Barrier Metal (TaN)

Sama dengan proses 37, yaitu PVD, utamanya Sputtering.

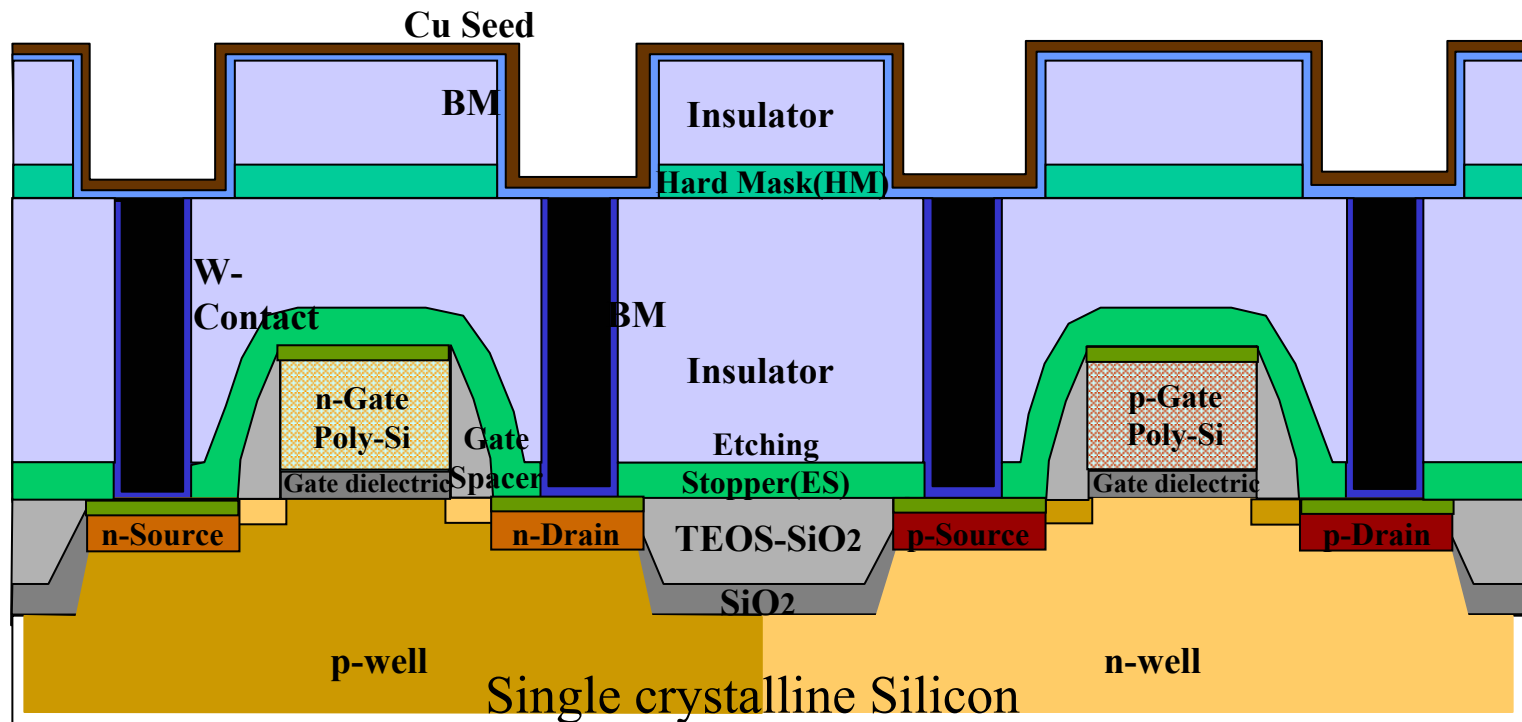


II. Pembentukan lapisan Metal1

59-Cu. Deposisi lapisan Cu seed

Sama dengan proses 37, yaitu PVD, utamanya Sputtering.

Dapat dilakukan dengan peralatan yang sama dengan proses sebelumnya.



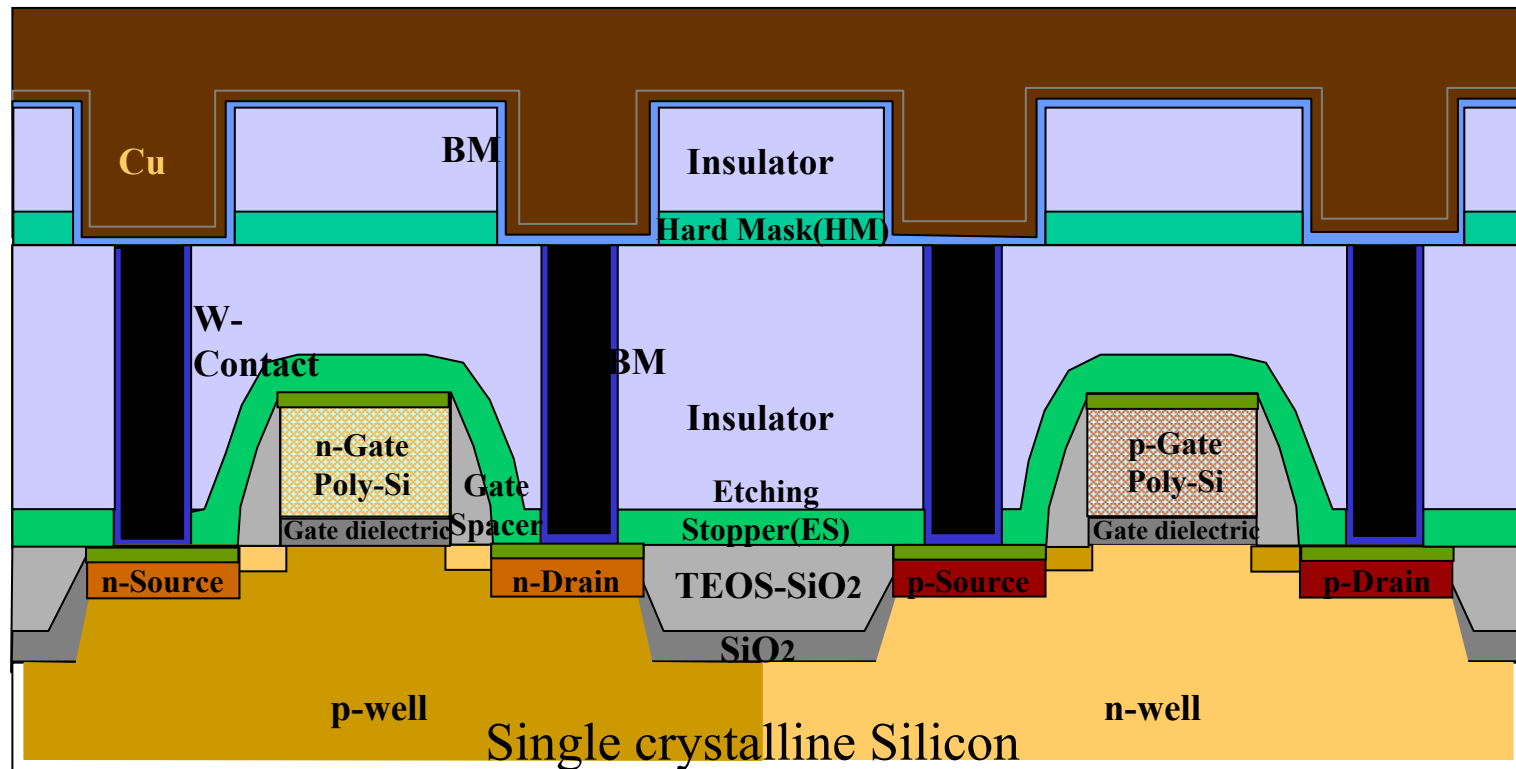
II. Pembentukan lapisan Metal1

60-Cu. Deposisi lapisan Cu

Proses : Cu Electro Plating.

Peralatan : Electro Plating Chamber.

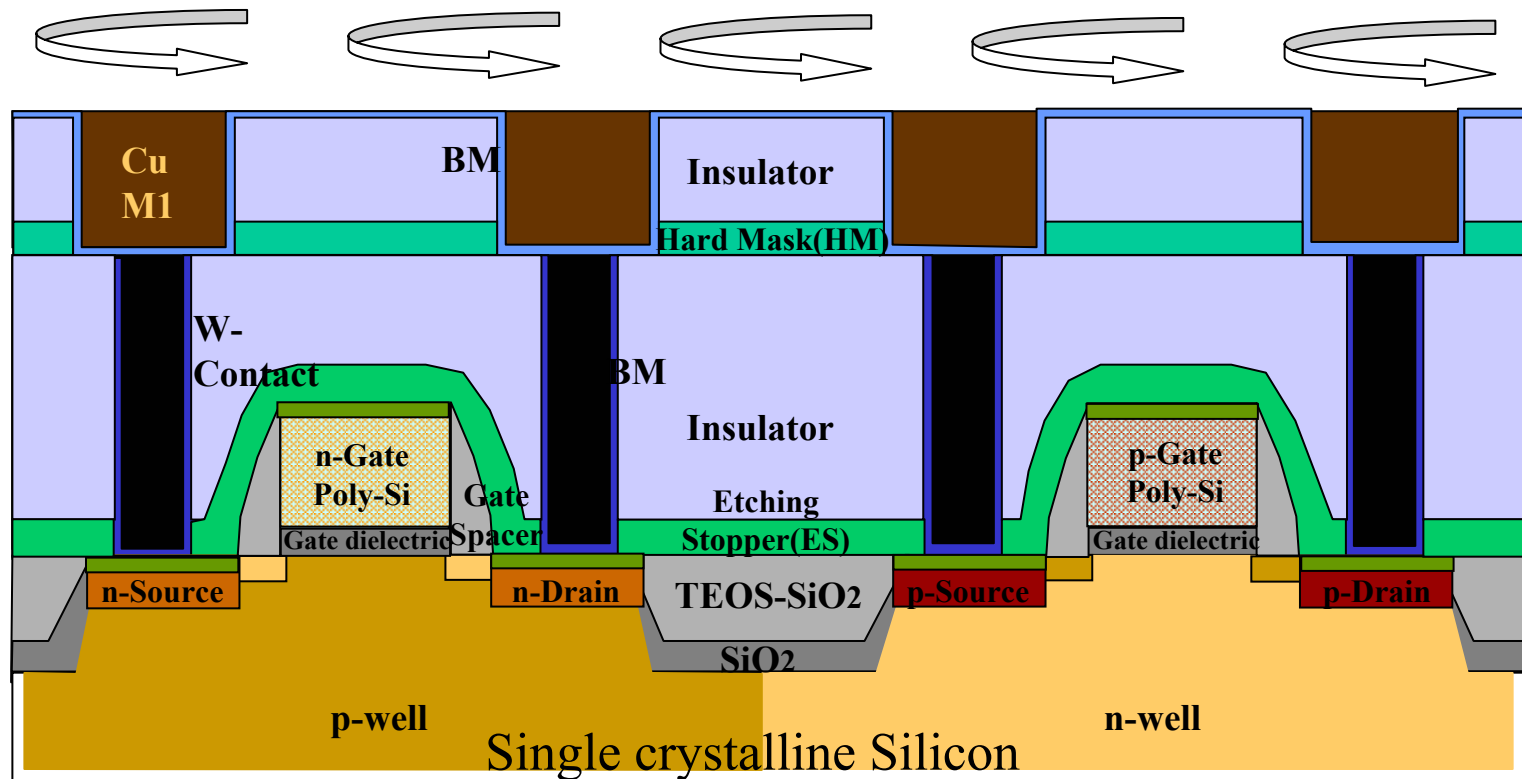
Wafer sebagai katoda dan larutan CuSO_4 pada bagian anoda. Cu seed yang dideposisi pada proses sebelumnya menjadi titik awal mulainya kristalisasi yang dibantu dengan proses annealing(pemanasan).



II. Pembentukan lapisan Metal1

61-Cu. Penyisihan lapisan sisa Cu dari permukaan

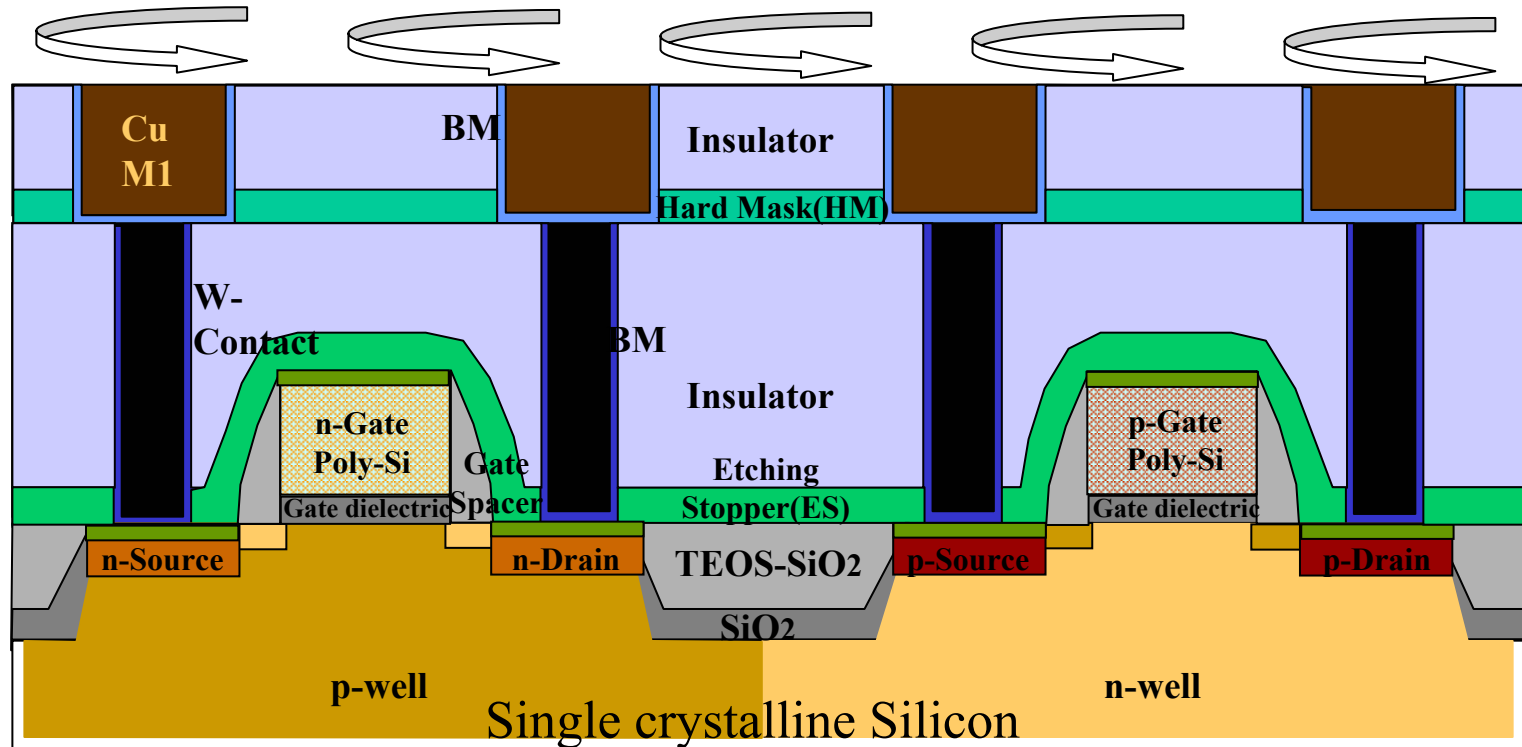
Sama dengan proses 8, yaitu CMP(Cu-CMP).



II. Pembentukan lapisan Metal1

62-Cu. Perataan lapisan Barrier Metal dari permukaan

Sama dengan proses 8, yaitu CMP(Cu-CMP).



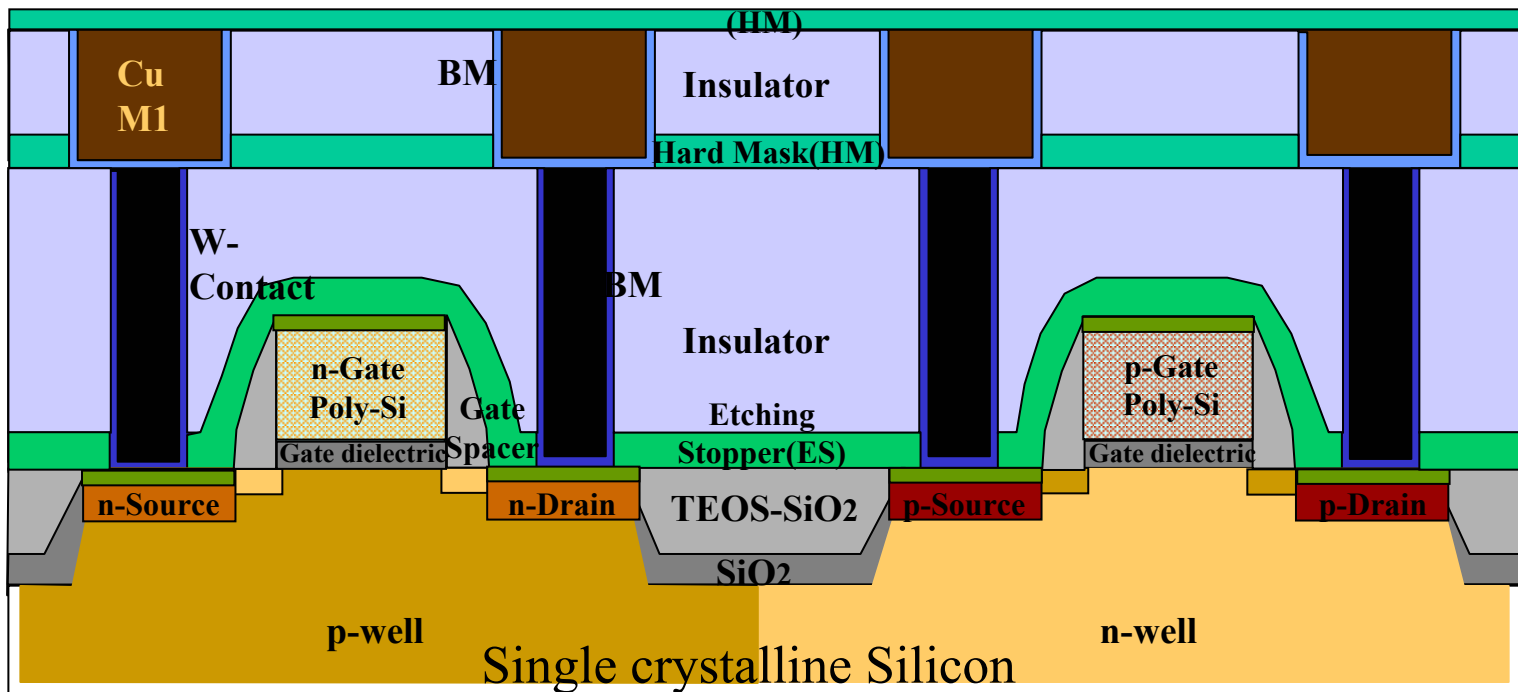
II. Pembentukan lapisan Metal1

63-Cu. Deposisi lapisan SiN sebagai Hard Mask(HM)

Sama dengan proses 2, yaitu CVD.

Selain SiN, digunakan juga SiO₂, SiC, SiCN, dll.

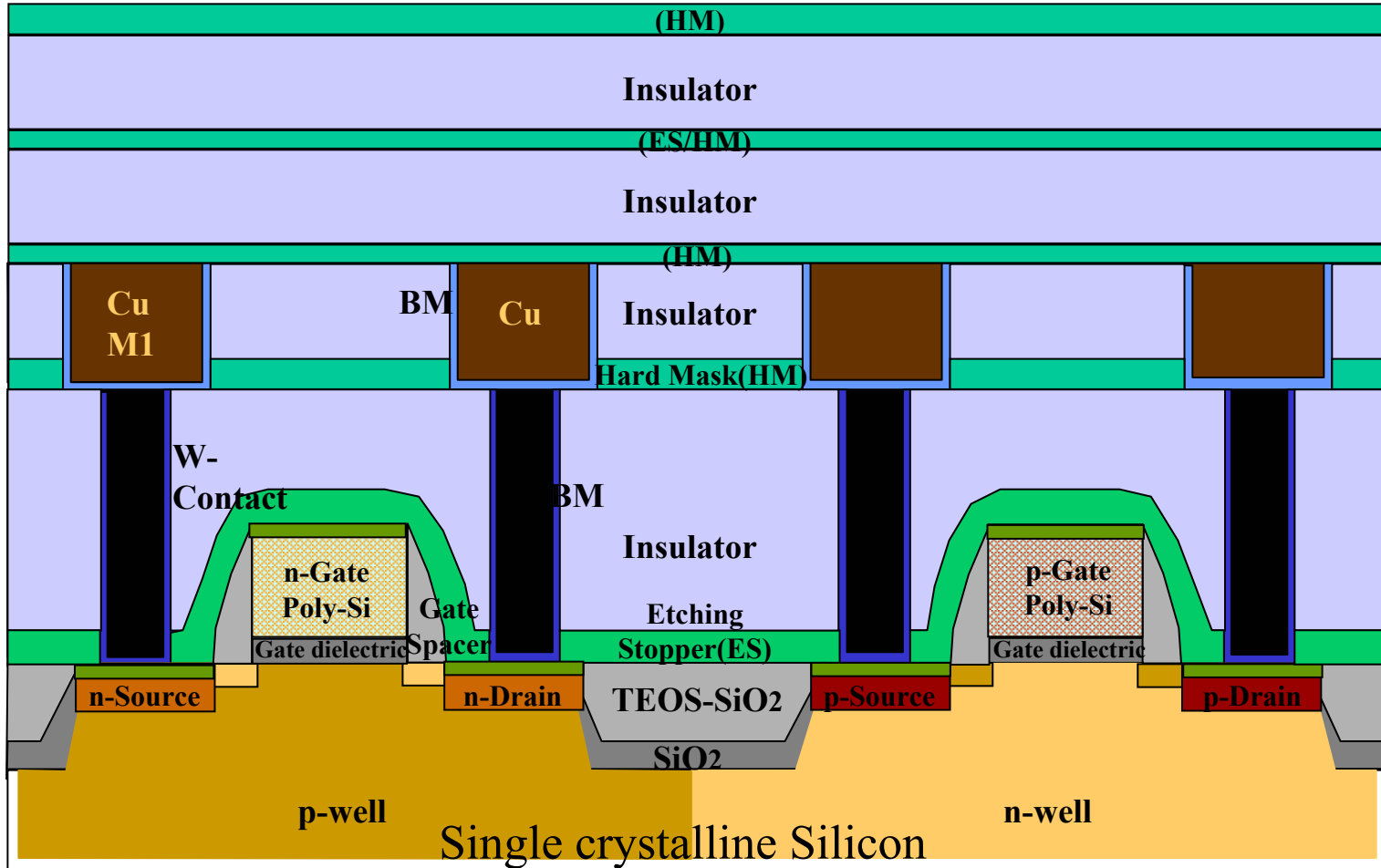
Dengan ini, proses pembentukan M1 dan sekaligus insulator vertikal antar metal line selesai.



III. Pembentukan lapisan Via1 dan Metal2

64-Cu. Deposisi lapisan TEOS-SiO₂, Middle dan Top HM

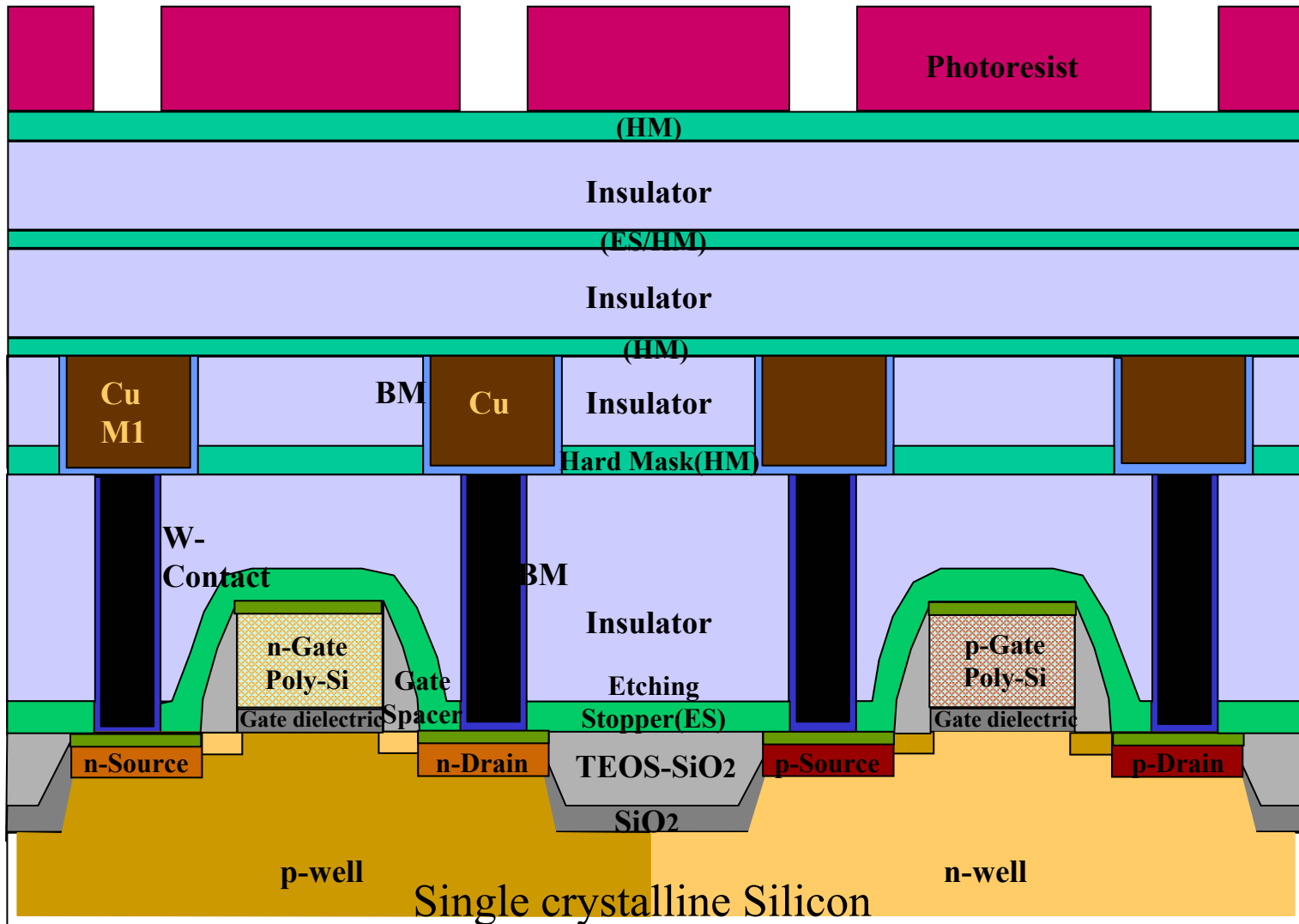
Sama dengan proses 2, yaitu CVD.



III. Pembentukan lapisan Via1 dan Metal2

65-Cu. Photolithography patterning

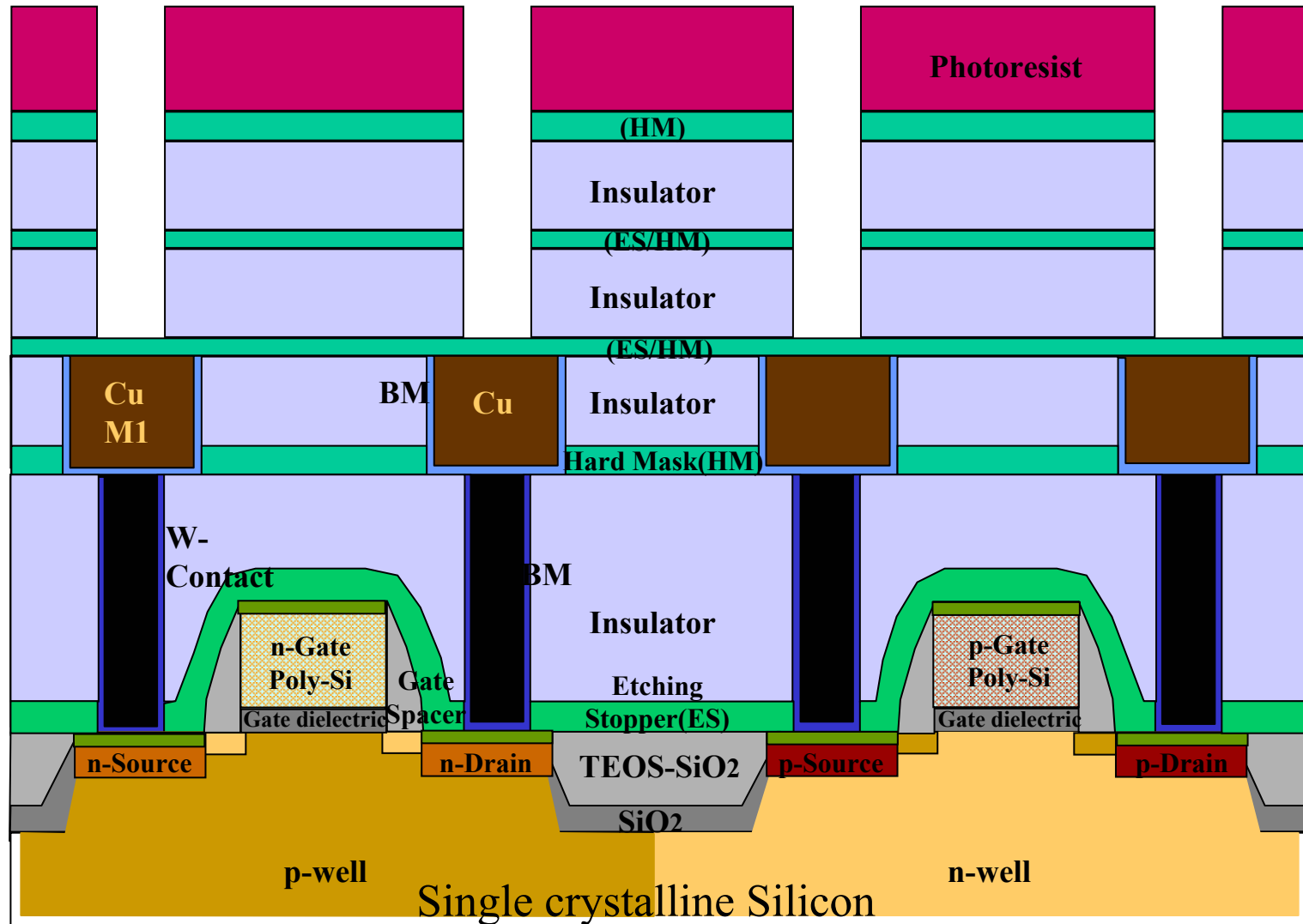
Sama dengan proses 3.



III. Pembentukan lapisan Via1 dan Metal2

66-Cu. Etching(Reactive Ion Etching)

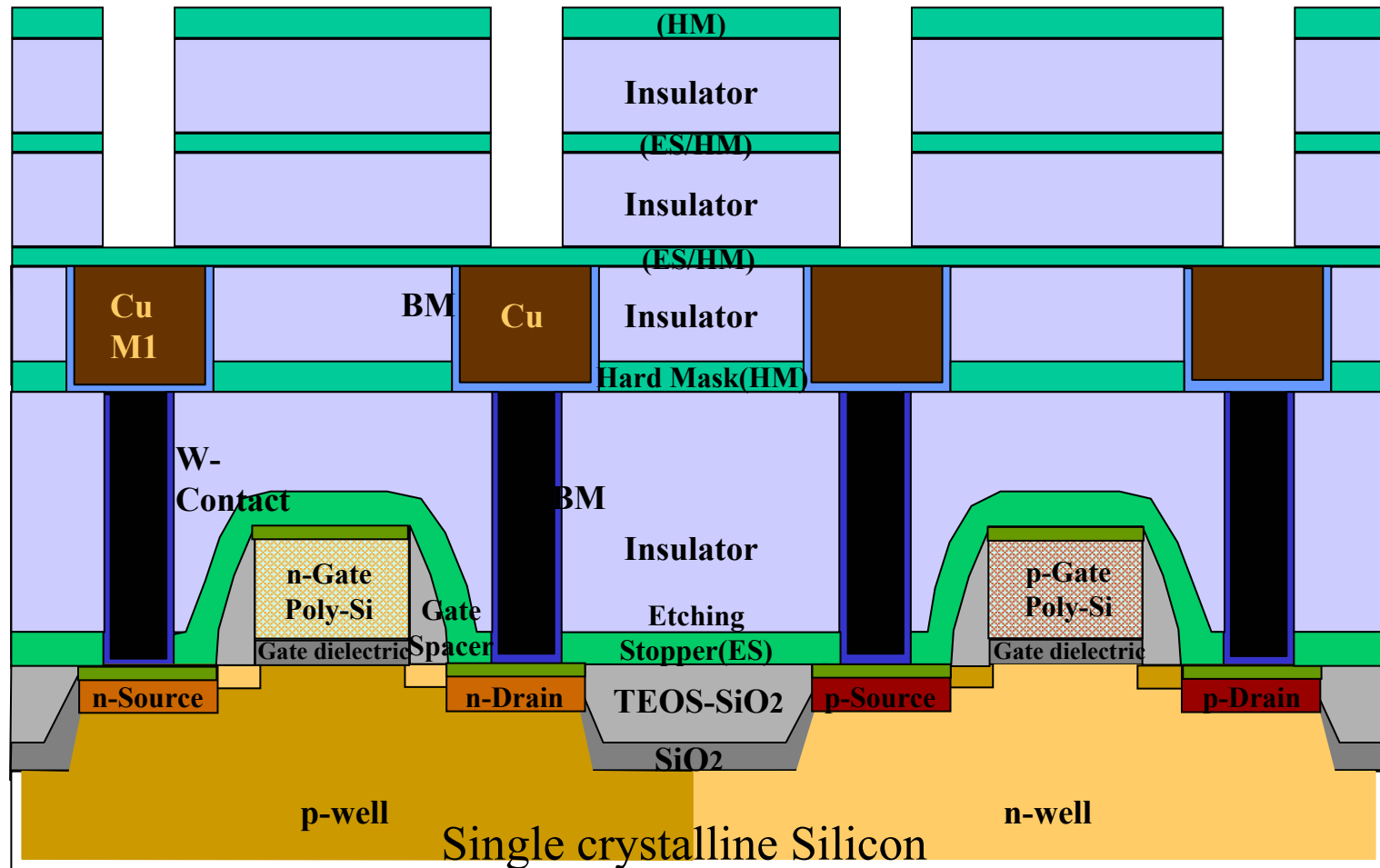
Sama dengan proses 4.



III. Pembentukan lapisan Via1 dan Metal2

67-Cu. Ashing+Wet Cleaning

Sama dengan proses 13.

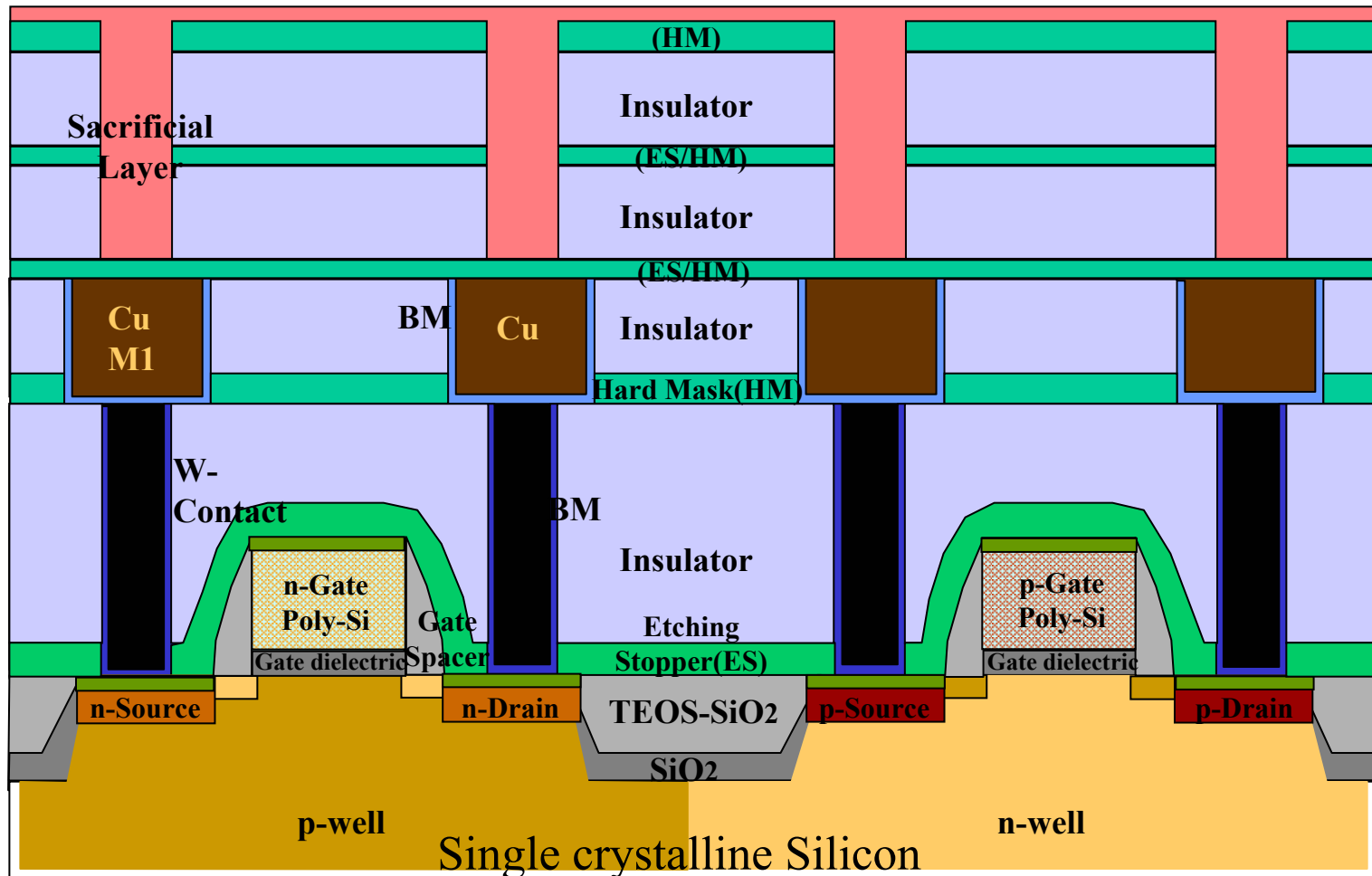


III. Pembentukan lapisan Via1 dan Metal2

68-Cu. Deposisi lapisan sacrificial

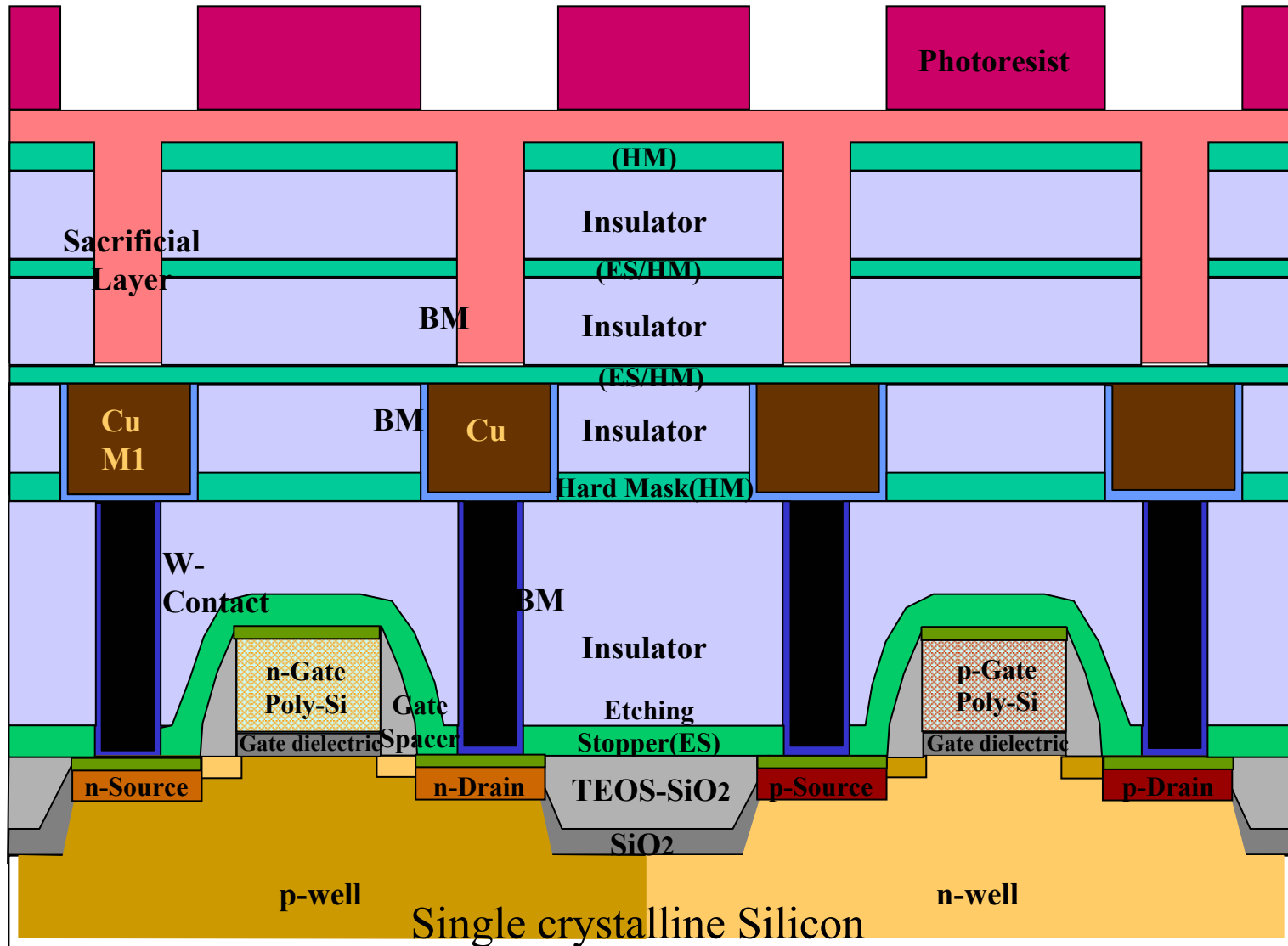
Proses : Coating (sama dengan bagian awal proses photolithography).

Material yang digunakan Spin-on Glass (SOG), atau photoresist, dll. Tujuan adalah melindungi via dari damage yang mungkin timbul dari proses berikutnya.



III. Pembentukan lapisan Via1 dan Metal2

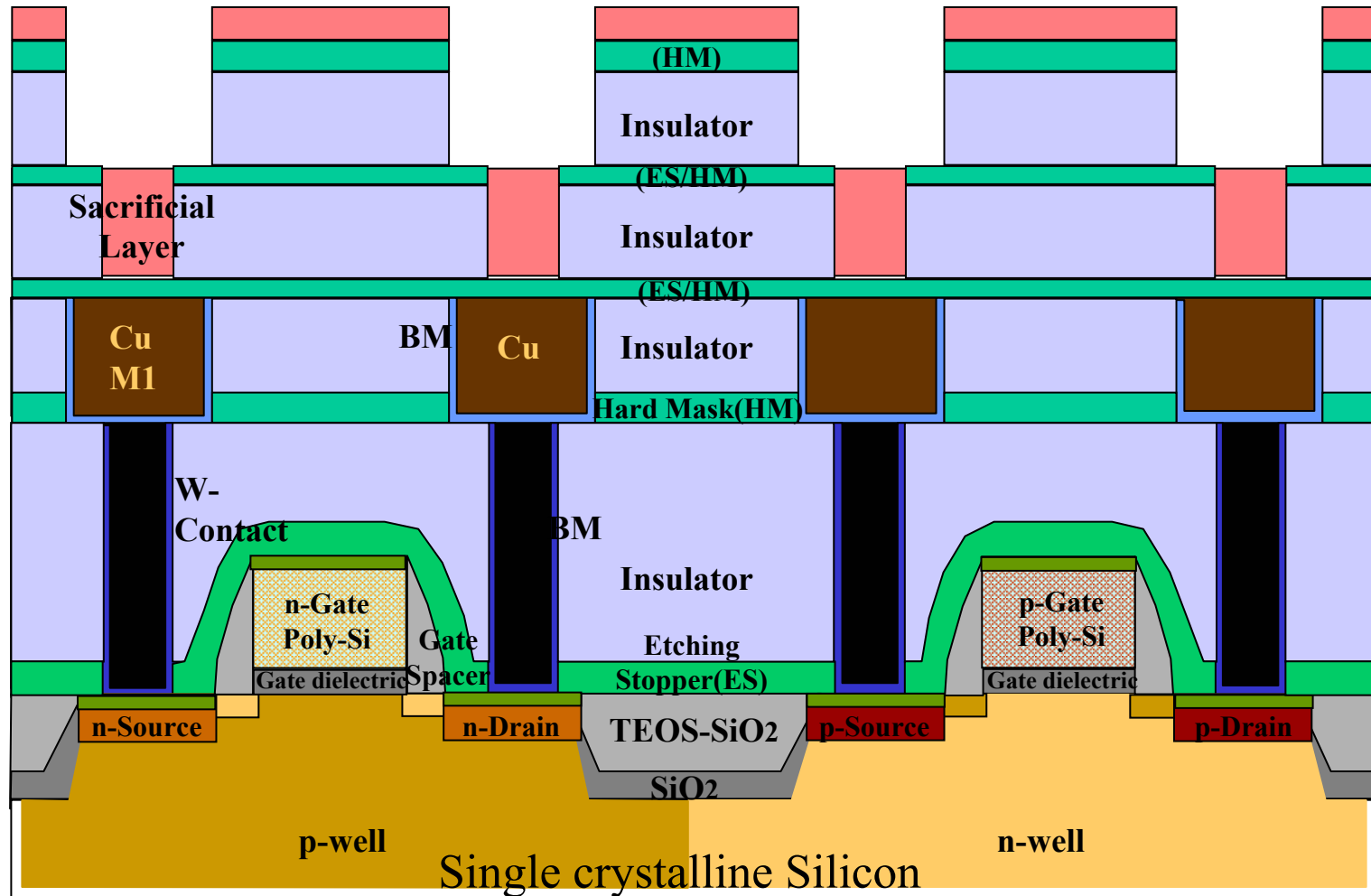
69-Cu. Photolithography patterning



III. Pembentukan lapisan Via1 dan Metal2

71-Cu. Ashing

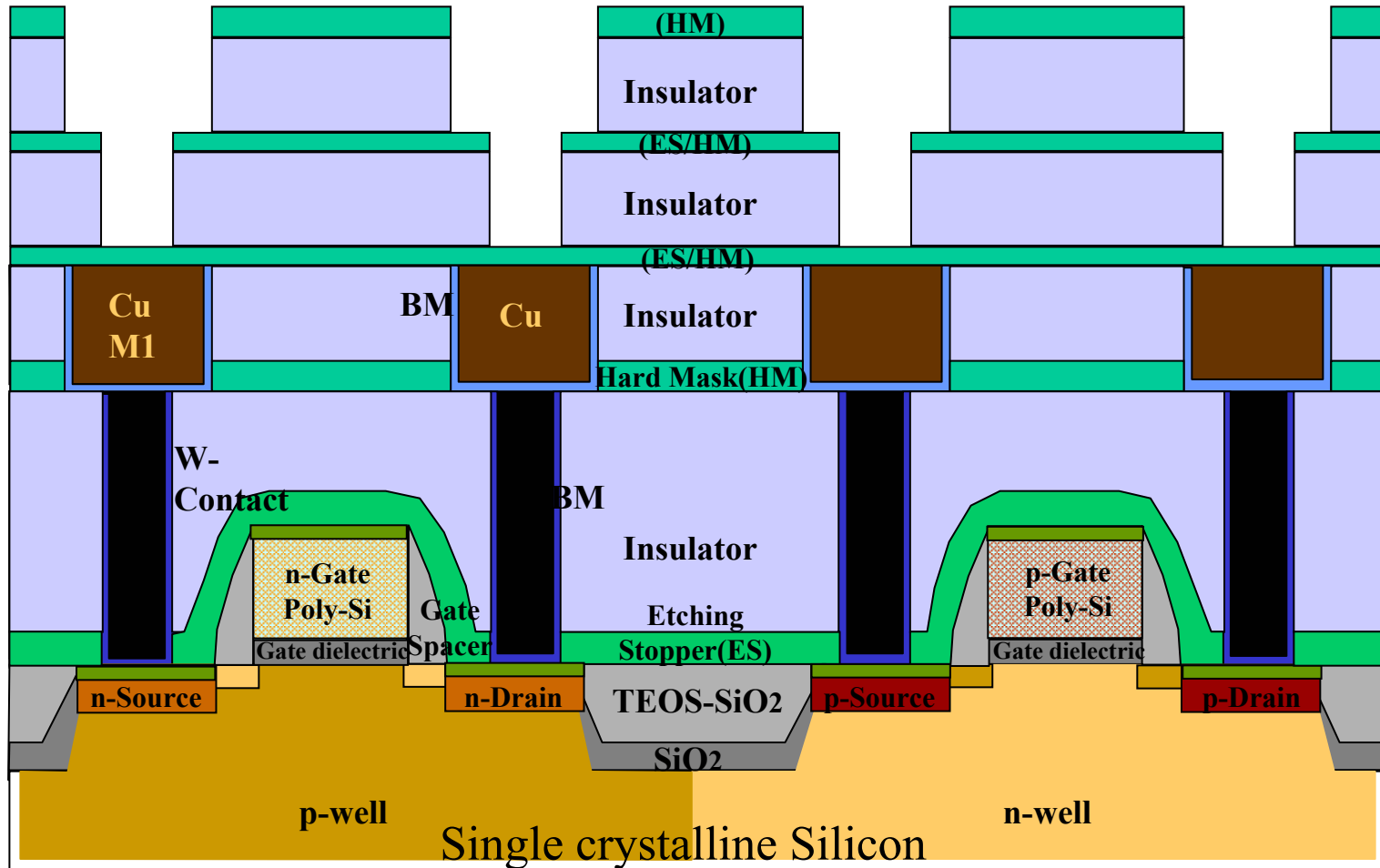
Sama dengan proses 13. Jika material lapisan sacrificial adalah photoresist, maka akan teroksidasi menjadi gas CO₂.



III. Pembentukan lapisan Via1 dan Metal2

72-Cu. Wet Cleaning

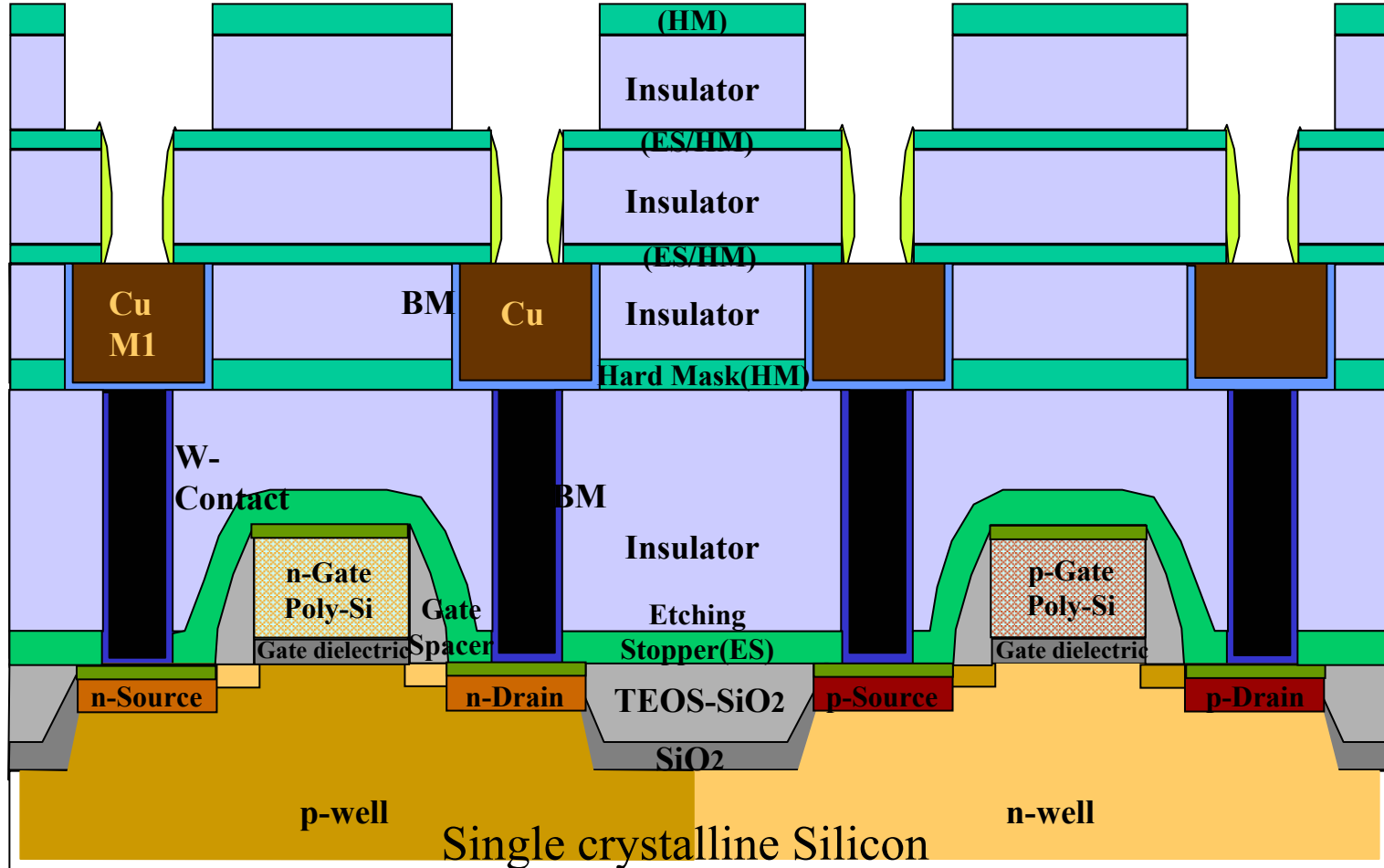
Sama dengan proses 13. Jika material lapisan sacrificial adalah photoresist, maka wet cleaning disini adalah untuk polimer/residu. Jika bahan material adalah SOG, maka larutan kimia yang dipakai perlu dipilih secara khusus.



III. Pembentukan lapisan Via1 dan Metal2

73-Cu. Etching(Reactive Ion Etching)

Sama dengan proses 4, dengan jenis gas/plasma yang sesuai untuk bahan ES. Menghubungkan Via1 dengan M1. Reaksi etching gas dengan metal dibawahnya membentuk polimer/residu yang mengharuskan wet cleaning.

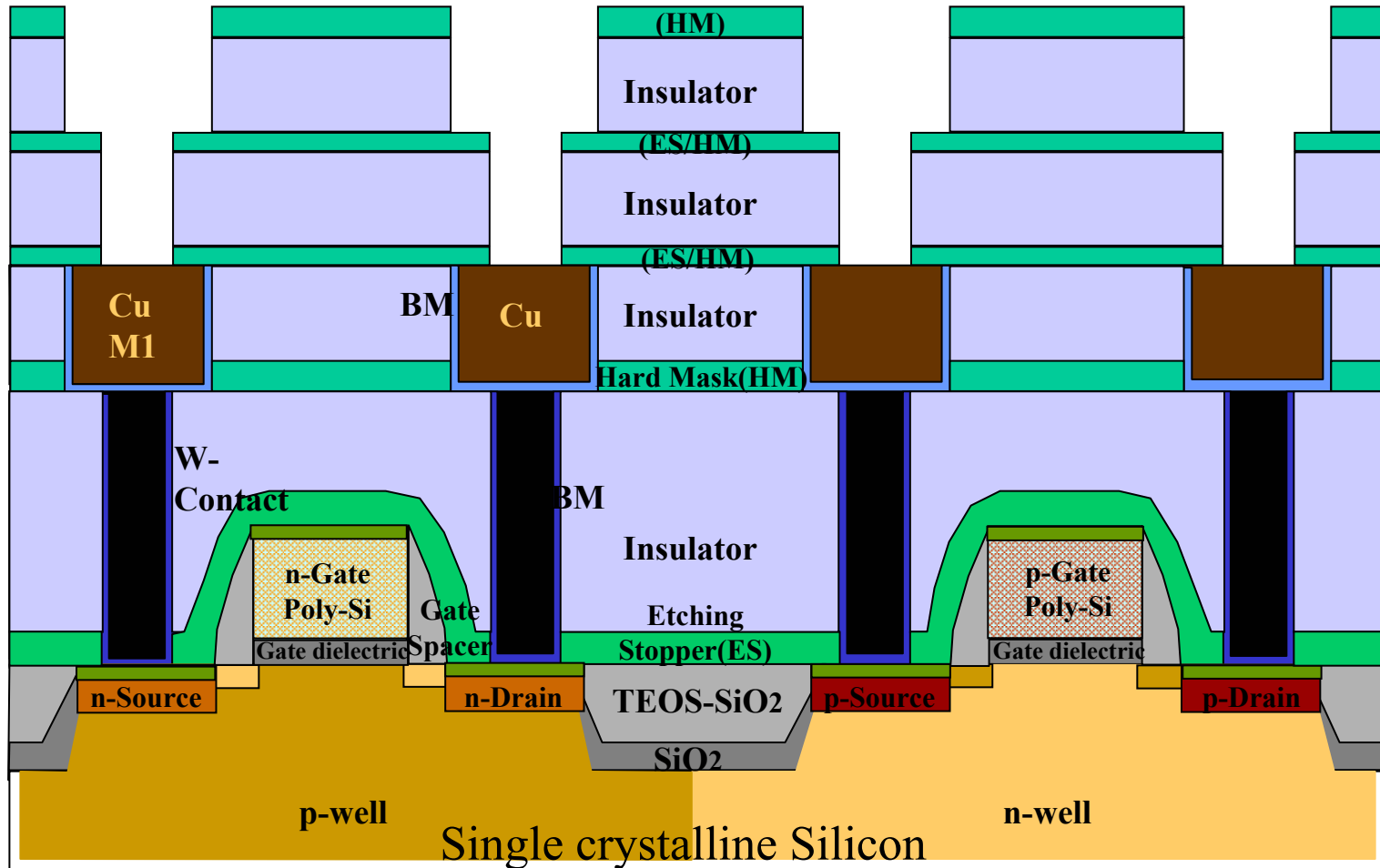


III. Pembentukan lapisan Via1 dan Metal2

74-Cu. Wet Cleaning

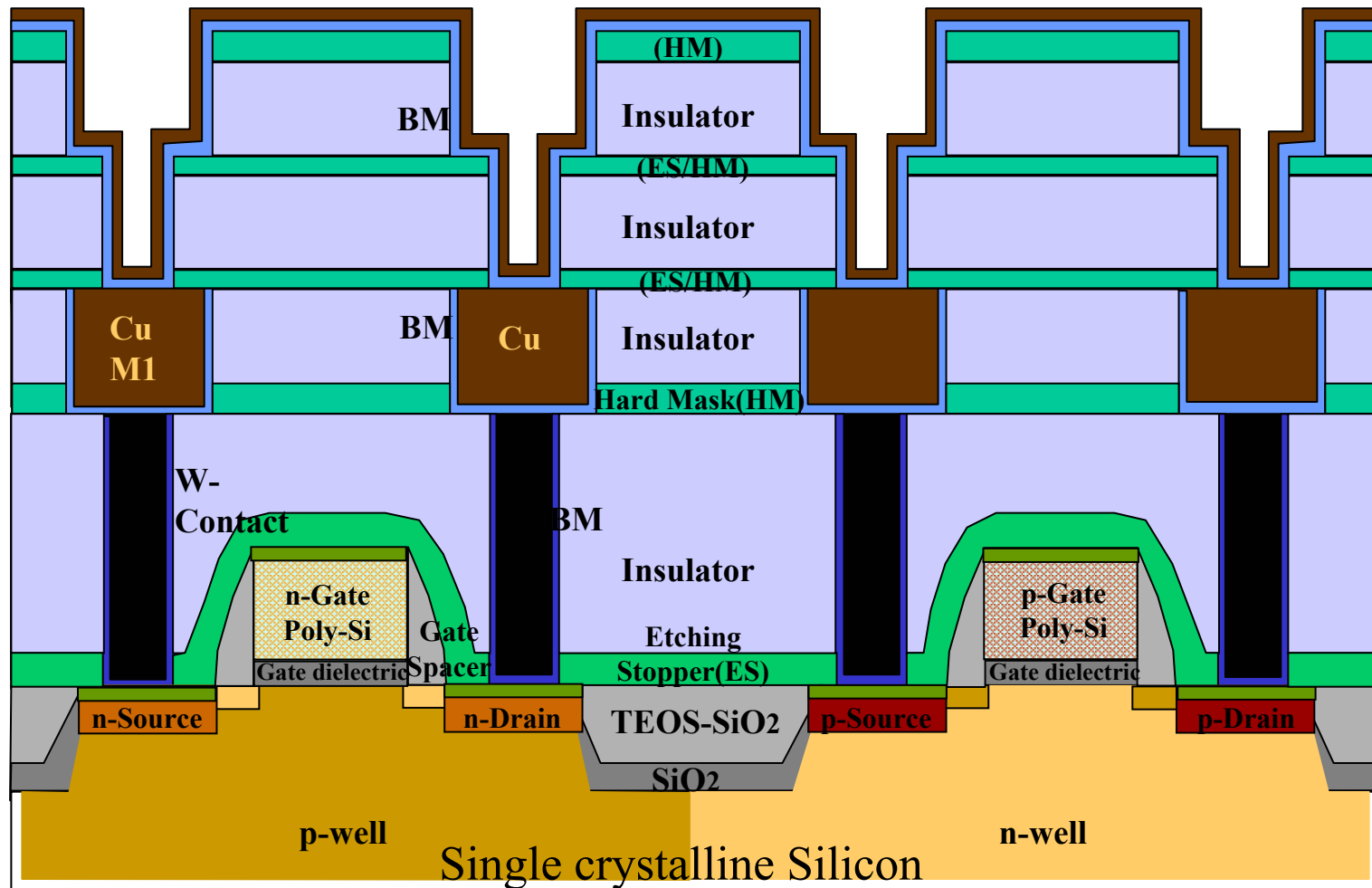
Sama dengan proses 13.

Larutan kimia organik harus memiliki spesifikasi minimal mampu melarutkan polimer residu dan tidak merusak Cu dan insulator.



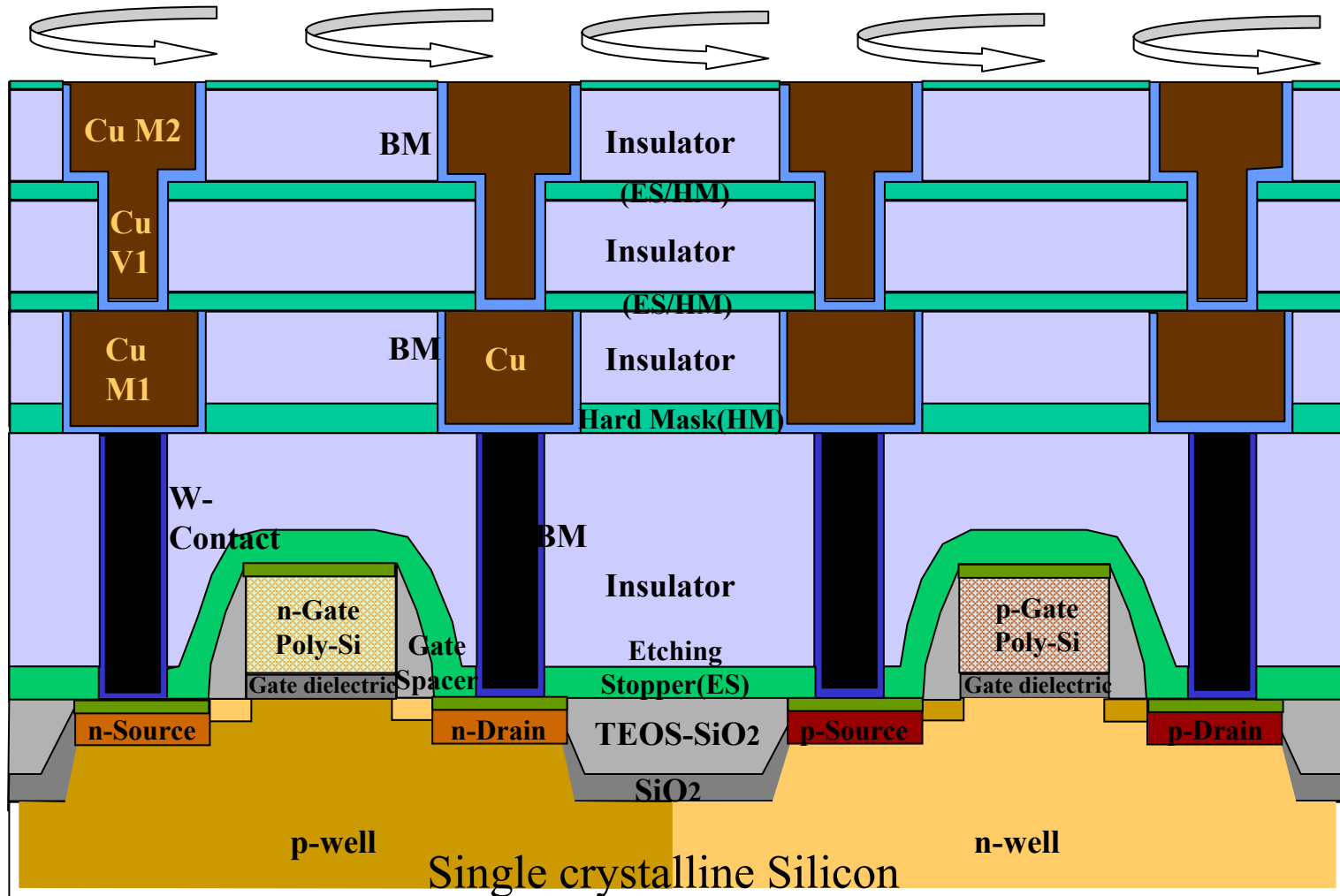
III. Pembentukan lapisan Via1 dan Metal2

75-Cu. Deposisi lapisan Barrier Metal (TaN) dan Cu seed
Sama dengan proses 37.



III. Pembentukan lapisan Via1 dan Metal2

77-Cu. Perataan lapisan Cu dan Barrier Metal dari permukaan Sama dengan proses 8, yaitu Metal-CMP.

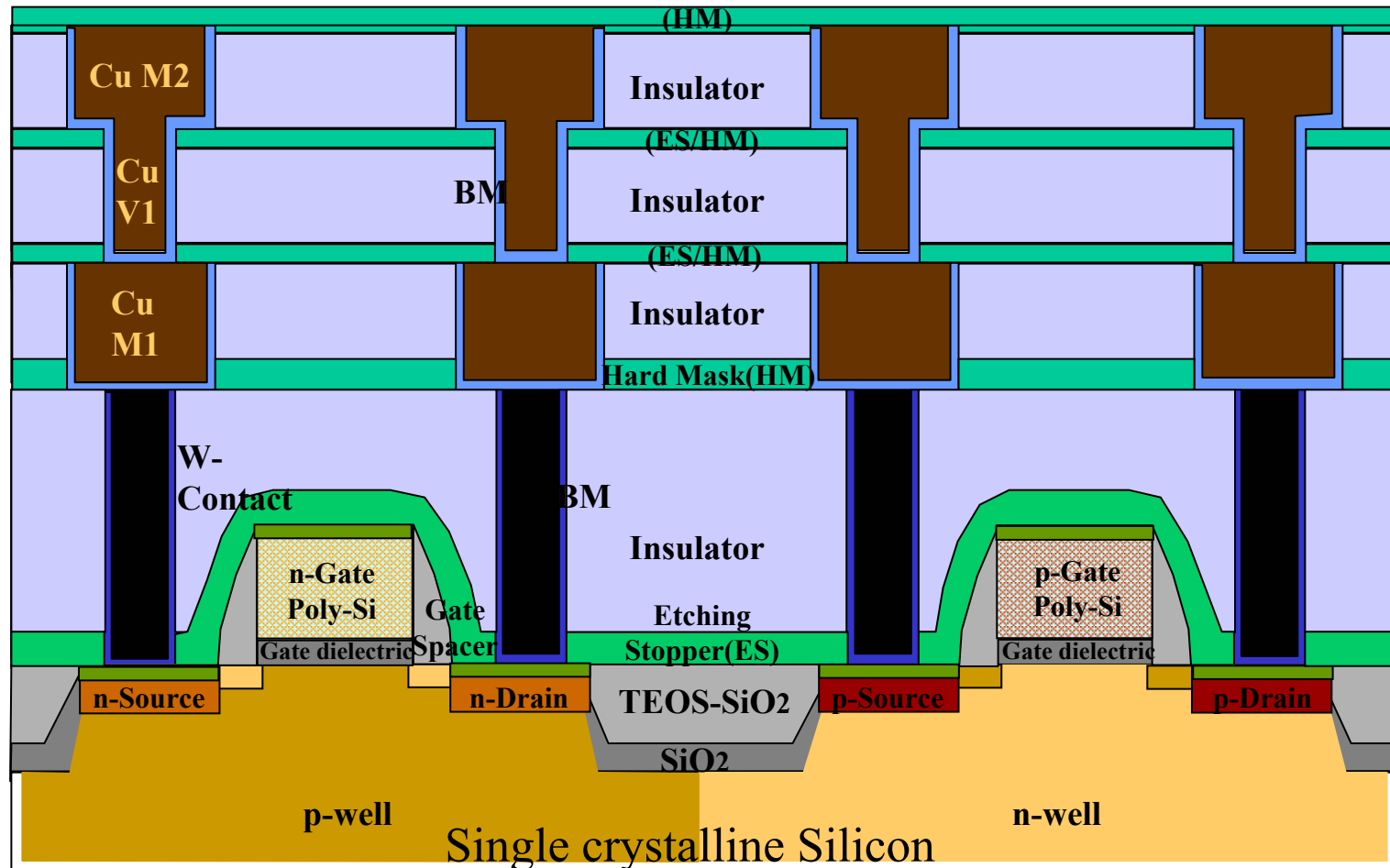


III. Pembentukan lapisan Via1 dan Metal2

78-Cu. Deposisi lapisan SiN sebagai Hard Mask(HM)

Sama dengan proses 2, yaitu CVD.

Dengan ini, proses pembentukan V1, M2, insulator antar lapisan metal dan planarization selesai.



Penutup

Telah diterangkan secara garis besar bagaimana semikonduktor diproses sehingga membentuk LSI, dengan basis rangkaian Logic CMOS (selain Logic CMOS adalah basis rangkaian RAM CMOS, dimana selain transistor juga harus dibentuk bagian Capacitor sebagai main memory).

Selanjutnya, pada kesempatan yang lain, akan dijelaskan satu-persatu lebih detil mengenai proses ini, yang terdiri dari cleaning, thin film deposition, impurities doping, lithograph, dan etching, seperti yang ditampilkan pada proses flow pada bagian pendahuluan.

Referensi

1. S.M. Sze, 'Semiconductor Devices –Physics and Technology-', Bell Telephone Lab. Inc., 1985.
2. Tarui Yasuo, 'Semiconductor Process Handbook', Press Journal, 1996.
3. Endo Nobuhiro, Kobayashi Nobuyoshi, Wakamiya Wataru, 'Semiconductor Manufacturing Materials for Beginners', Kogyou Chosakai, 2002.
4. Maeda Kazuo, 'Semiconductor Process for Beginners', Kogyou Chosakai, 2002.
5. Iwai Hiroshi, Ohmi Shunichiro, 'High quality thin film required for scaled Silicon devices', Oyo Buturi vol.69 No.1 p4-p14 2000.
6. <http://www.nanoelectronics.jp/index.htm>
7. <http://www.e-insite.net/semiconductor/>